

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-236466

(43)Date of publication of application : 10.09.1993

-----  
(51)Int.Cl. H04N 7/137

H04N 5/92

H04N 11/04

-----  
(21)Application number : 04-075544 (71)Applicant : NEC CORP

(22)Date of filing : 25.02.1992 (72)Inventor : TAMIYA ICHIRO

-----  
(54) DEVICE AND METHOD FOR INTER-FRAME PREDICTIVE IMAGE ENCODING  
FOR MOTION COMPENSATION

(57)Abstract:

PURPOSE: To obtain the image encoding device for storage media at a video rate at a low cost.

CONSTITUTION: This device is provided with an input image rearranging means 1 to change the order of frames in an input moving image, a storage circuit 2 for storing the decoded images of in-image encoding and forward predictive encoding images, an address generating means 3, a motion detecting means 4 to execute multi-step motion vector search, a predictive signal generating means 5 to output an inter-frame predictive signal and its predictive difference signal, a quantizing means 6, a variable length encoding means 7 and a local decoding means 8. The predictive signal generating means 5 decreases access to the storage circuit 2 by simultaneously fetching data read

from the storage circuit 2 to the motion detecting means 4 for the final-step vector search. On the other hand, local decoded images are returned to the order of regenerative frames and decoded image signals are monitored by a storage circuit 10 to store the decoded images of in-image encoded and forward predictive encoded images among the outputs of the local decoding means 8, and address generating means 11.

-----  
LEGAL STATUS [Date of request for examination] 27.12.1996

[Date of sending the examiner's decision of rejection] 30.06.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and INPIT are not responsible for any damages caused by the use of this translation.**

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] Each image frame of a dynamic-image signal The coded image in an image (following I image), It is dynamic-image coding equipment which encodes as at least three sorts of inter-frame prediction images of a front predicting-coding image (following P image) and a both-directions predicting-coding image (following B image). An input image rearrangement means to change the frame sequence of an input dynamic image based on an inter-frame prediction method, The 1st store circuit in which the decode image of already encoded I and P image is stored, A motion detection means to detect a motion vector between the 1st address generation means which controls I/O of said 1st store circuit, the decode image stored in said 1st store circuit, and the output of said input image rearrangement means, A prediction signal generation means to generate an inter-frame prediction signal from the decode image stored in said detected motion vector and said 1st store circuit, and to output a prediction difference signal with the output of said input image rearrangement means further, A quantization means to perform quantization processing to said prediction difference signal, and a variable-length-coding means to give variable length coding to the output of said quantization means, A partial decode means for the output and said inter-frame prediction signal of said quantization means to be inputted, and to generate the decode image of I and P image is included. Said motion detection means Dynamic-image coding equipment which controls said 1st address generation means by the detected motion vector, and realizes motion vector retrieval of a multistage story.

[Claim 2] It is the prediction signal generation method which incorporates to coincidence the data with which said motion detection means read said prediction signal generation means from said 1st store circuit to vector retrieval of the last stage in dynamic-image coding equipment according to claim 1.

[Claim 3] It is dynamic-image coding equipment according to claim 1 with which the 2nd store circuit is provided, I and P image are stored in said 2nd store circuit among the outputs of said input image frame rearrangement means, said motion detection means detects a motion vector between the input image stored in said 2nd store circuit, and the output of said input image rearrangement means, and I/O of said 2nd store circuit is controlled by said 1st address-generation means.

[Claim 4] It is the prediction signal generation method which reads the decode data of

the same address as the input image data by which said motion detection means reads said prediction signal generation means from said 2nd store circuit to vector retrieval of the last stage in dynamic-image coding equipment according to claim 3 to coincidence from said 1st store circuit, and uses them for prediction generation.

[Claim 5] In dynamic-image coding equipment according to claim 1 or 3 vector retrieval of said motion detection means They are K steps of the motion vector retrieval approaches of performing motion vector retrieval below 1-pixel precision for the motion vector retrieval to 2-pixel precision in the Kth step from the 1st step in the K-1st step. The motion vector retrieval approach of referring to only the pixel which carried out the subsample to the shape of a grid among the picture signals stored in said 1st or 2nd store circuit for vector retrieval from the 1st step to the K-1st step.

[Claim 6] It is dynamic-image coding equipment according to claim 1 or 3 with which the output port which outputs outside the output data from an address generation means, and said the 2nd store circuit or said partial decode means which controls I/O of the 3rd store circuit which stores the output of said partial decode means, and said 3rd store circuit is provided, and said partial decode means also generates the decode image of B image. [ 3rd ]

[Claim 7] It is the decode picture signal monitor approach which returns the partial decode image of a coded image in order of a playback frame, and outputs by outputting to said output port after storing the decode image of I and P image in said 3rd store circuit by outputting the decode image of B image obtained from said partial decode means to said output port in dynamic-image coding equipment according to claim 6.

[Claim 8] All the decode images of I and P which were obtained from said partial decode means in dynamic-image coding equipment according to claim 6, and B image are the decode picture signal monitor approaches which will change the order of the scan in a screen into \*\*, and will be outputted to it outside if the partial decode image of a coded image is returned in order of a playback frame by outputting to an output port after storing in said 3rd store circuit.

[Claim 9] The variable-length decode means which carries out the variable-length decode of the variable-length symbolic language supplied from the outside is provided. Said 2nd address generation means Prediction image data read-out from said 3rd store circuit is controlled using the motion vector which said variable-length decode means decoded. Dynamic-image coding equipment according to claim 6 which realizes a regenerative function when said partial decode means obtains a decode image from

the output of the prediction image data read from said 3rd store circuit, and said variable-length decode means.

[Claim 10] The decode image of I and P image which outputted the decode image of B image obtained from said partial decode means to the output port in dynamic-image coding equipment according to claim 9, and was obtained from said partial decode means is the decode image reconstruction approach which returns a decode image in order of a playback frame, and outputs it by outputting to said output port, after storing in said 3rd storage means.

[Claim 11] The decode image reconstruction approach which will change and output the order of the scan in a screen to \*\* if a decode image is returned in order of a playback frame by outputting to said output port in dynamic-image coding equipment according to claim 9 after storing in said 3rd storage means all the decode images of I and P which were obtained from said partial decode means, and B image.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the video rate compression regenerative apparatus for are recording system media used for a video mail system, a videocassette recorder, etc. in more detail about the coding equipment which realizes dynamic-image coding.

[0002]

[Description of the Prior Art] A video signal is given to high-efficiency-coding processing for the purpose of a thing like a compact disk (CD) comparatively stored in the digital storage media of a narrow-band. International-standards-ized organization ISO-IEC The coding method corresponding to the media of 1.5Mbps is examined by JTC1/SC2/WG11 (the following, a common name MPEG). About the outline of an examination method, description is carried by the Institute of Image Electronics Engineers of Japan 20th volume \*\* No. 4 306 to 316 term, for example. According to the contents of printing, motion compensation inter-frame prediction, a discrete cosine transform (DCT), quantization, and hybrid code-ization that combined variable length coding are expected to be adopted as an international-standards-ized method. Although the fundamental framework of an MPEG method is the same as that of CCITT advice H.261 already international-standards-ized for the purpose of the dynamic-image communication link application, in addition to coding in an image (I image), and front predicting coding (P image), the inter-frame prediction method which incorporated bidirectional predicting coding (B image) which newly includes the direction prediction of back is used. Moreover, when the motion vector used for a motion compensation also raises precision to half-pixel precision, improvement in coding effectiveness is measured. Since the amount of data processing and necessary memory space which coding processing takes for the above engine-performance improvements increase by leaps and bounds compared with equipment implementation of H.261, implementation of coding equipment takes a device to them.

[0003] In order to realize the image coding processor based on an MPEG method with the present technique, it is possible to use the commercial chip set for picture signal processing. The chip set used as a commercial is available from Graphics Communication Technologies (GCT). The function of each chip is explained to 222 pages from 209 pages of the Nikkei electronics June 25, 1990 issue. According to these written contents, this chip set offers each calculation functions, such as motion vector detection, DCT, reverse DCT, quantization, reverse quantization, variable length coding, and a variable-length decryption, as an exclusive chip, and constitutes the coding equipment for H.261 with this combination.

[0004]

[Problem(s) to be Solved by the Invention] However, in order to realize the front / back inter-frame prediction, and the vector detection of half-pixel precision which are newly demanded by the MPEG method at a video rate using the above-mentioned chip set, juxtaposition actuation of much chips is carried out, and a colander is not

obtained, but the problem that equipment cost increases arises. Moreover, since the chip for coding and the chip for decode are separate, when a decode function is included in coding equipment, there is a problem of leading to increase of the number of operation chips. This invention solves such a problem and aims at offering the coding equipment for are recording system media of a video rate used with authoring, a video mail, a digital videocassette recorder, etc. by low cost.

[0005] Therefore, it is required first like vector detection with a motion compensation [ of both directions ], and a precision of 1 pixel or less to transpose a calculation function efficiently unrealizable by the existing LSI to more highly efficient VLSI, and to aim at reduction of the number of components. If a VLSI technique in recent years is used, it is not actually difficult to develop VLSI with necessary data-processing capacity itself. However, in the present LSI technology, since the frame memory circuit holding image data cannot be built in an operation chip, the system configuration which used the memory circuit other than VLSI will be the requisite. In this case, it is important to give the optimal memory configuration and to reduce system-wide cost with the access frequency to a memory circuit, since the necessary speed and the number of chips of a memory chip to adopt become settled. Therefore, the technical problem of this invention is to give the system architecture which cared about external memory arrangement, and the concrete real-time coding processing technique.

[0006] Moreover, in the above-mentioned application system, a real-time coding function and the function which reproduces a dynamic image from the bit sequence acquired by \*\* by coding are indispensable, and the function which carries out monitoring of the image under coding in order to supervise the effect on the image quality by compression coding is also called for. Therefore, it also becomes the technical problem of this invention to offer the configuration included in coding equipment in the monitoring feature of these playbacks and the real time, without preparing decode equipment separately.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the 1st coding equipment by this invention Each image frame of a dynamic-image signal The coded image in an image (following I image), It is dynamic-image coding equipment which encodes as at least three sorts of inter-frame prediction images of a front predicting-coding image (following P image) and a both-directions predicting-coding image (following B image). An input image rearrangement means to change the frame sequence of an input dynamic image based on an inter-frame prediction method, The

1st store circuit in which the decode image of already encoded I and P image is stored, A motion detection means to detect a motion vector between the 1st address generation means which controls I/O of the 1st store circuit, the decode image stored in the 1st store circuit, and the output of an input image rearrangement means, A prediction signal generation means to generate an inter-frame prediction signal from the decode image stored in the detected motion vector and the 1st store circuit, and to output a prediction difference signal with the output of an input image rearrangement means, A quantization means to perform quantization processing to a prediction difference signal, and a variable-length-coding means to give variable length coding to the output of a quantization means, A partial decode means for the output and inter-frame prediction signal of a quantization means to be inputted, and to generate the decode image of I and P image is included. A motion detection means It is dynamic-image coding equipment which controls the 1st address generation means by the detected motion vector, and realizes motion vector retrieval of a multistage story. A prediction signal generation means The motion detection means has adopted the prediction signal generation method characterized by incorporating to coincidence the data read from the 1st store circuit to vector retrieval of the last stage.

[0008] The 2nd dynamic-image coding equipment by this invention is added to said 1st coding equipment. The 2nd store circuit is provided and I and P image are stored in the 2nd store circuit among the outputs of said input image frame rearrangement means. Said motion detection means A motion vector is detected between the input image stored in the 2nd store circuit, and the output of an input image rearrangement means. I/O of the 2nd store circuit It is dynamic-image coding equipment controlled by said 1st address generation means. Said prediction signal generation means The motion detection means has adopted the prediction signal generation method characterized by reading the decode data of the same address as the input image data read from the 2nd store circuit to vector retrieval of the last stage to coincidence from the 1st store circuit, and using them for prediction generation.

[0009] Moreover, the 3rd dynamic-image coding equipment by this invention To said 1st or 2nd dynamic-image coding equipment, in addition, the 2nd address generation means which controls I/O of the 3rd store circuit and the 3rd store circuit which store the output of said partial decode means, The output port which outputs the output data from the 3rd store circuit or partial decode means outside is provided. A partial decode means The decode image of B image which is dynamic-image coding equipment characterized by generating the decode image of B image, and is obtained



from a partial decode means is outputted to an output port. The decode image of I and P image After storing in the 3rd store circuit, by outputting to an output port, the decode picture signal monitor approach which returns the partial decode image of a coded image in order of a playback frame, and outputs it is realized.

[0010] In the 4th dynamic-image coding equipment by this invention, it adds to said 3rd coding equipment. The variable-length decode means which carries out the variable-length decode of the variable-length symbolic language supplied from the outside is provided. The 2nd address generation means Prediction image data read-out from the 3rd store circuit is controlled using the motion vector which the variable-length decode means decoded. It is dynamic-image coding equipment with which a partial decode means reproduces a decode image from the output of the prediction image data read from the 3rd store circuit, and a variable-length decode means. The decode image of I and P image which outputted the decode image of B image obtained from the partial decode means to the output port, and was obtained from the partial decode means After storing in the 3rd storage means, by outputting to an output port, the decode image reconstruction approach which returns a decode image in order of a playback frame, and outputs it is adopted.

[0011]

[Function] In order to perform duly inter-frame predicting coding which includes the direction of back at a video rate, the frame sequence of an input video signal is replaced in advance of coding processing. This is because it is necessary to encode / decrypt first the frame inputted later in time, in order to perform inter-frame prediction from the future over the image for coding. Thus, the coding processing in the real time is attained by dedicating the time amount which a premise, then coding of each frame take the input which the order of a frame replaced in 1 frame period.

[0012] The above processing processes are surveyable using drawing 2 . The frame train  $F_i$  (—  $F-1F0 F1 F2$  —) of an input image is shown in the maximum upper case of drawing. One coding method of coding in an image (I image), front predicting coding (P image), and both-directions predicting coding (B image) is assigned to each image frame. The frame sequence which replaced entry sequence based on this assignment is shown in that lower berth. The rearranged order of a frame becomes (— $F0 F-2 F-1F3 F1 F2 F6$  —), and coding processing is performed to this order. FM and FM' is a frame memory with the capacity for image 2 screen, and is respectively used for a motion vector search and partial decode signal storing. The input image corresponding to I and P image is stored in the memory for a search (FM), and a motion vector with the present input frame is used for detection. For example, at the time of coding of

F-2 or F-1, it is F-3 and F0. Since it is stored in search memory, this is used for motion vector retrieval. The partial decode signal (F'-3F'0) stored in memory FM' is read using the motion vector which was able to be found, and a prediction signal is generated. For example, for front prediction, in coding of F-2 or F-1, the direction of back is partial decode signal F'-3 F'0 It uses and an inter-frame prediction signal is generated. FM and FM' changes the start address which stores an input signal and a partial decode signal with the signal TGL shown in the drawing 2 bottom, and I image of two sheets or P image encoded recently is stored. In addition, a partial decode signal may be used for detection of a motion vector instead of an input signal so that it may be well-known. In this case, since what is necessary is just to detect a motion vector between the contents of FM', and the present input frame, a frame memory FM can be deleted.

[0013] Coding processing with each frame period is performed by dividing the image of one sheet into the small block of N pixel xN Rhine. By the MPEG method, it was referred to as N= 16, for example, the standard image of 352 pixel x240 line was divided into 330 blocks, and is encoded.

[0014] The motion vector of front and each direction of back is first detected to one block. Since it is necessary to extend the motion vector retrieval range at this time according to that bidirectional motion detection is the need and the continuous number of sheets of B image, a seek area becomes 8 or more times of H.261. Therefore, if all retrieval is realized as they are, memory access will also increase sharply. For this reason, first, about motion vector detection, the multistage story searching method (a number of stages is set to K below) is used for this invention, it uses only the signal which carried out the subsample for retrieval of each stage, and aims at reduction of access frequency according to a subsample. However, since interpolation count is the need when premised on the vector detection below 1-pixel precision, all the pixel values of retrieval within the limits are needed for the vector search at least of the last stage. On the other hand, since all pixels are essentially needed for prediction signal generation, a subsample cannot be carried out. Therefore, in this invention, in order to raise the effectiveness of memory access further, the method which performs memory access for the last stage search and access for prediction signal creation to coincidence was introduced. Since each in the case where a partial decode signal is used for motion vector detection (the data stored in FM' of drawing 2 are used for vector retrieval), and the case of using an input signal (the data stored in FM of drawing 2 being used for vector retrieval) is examined in installation, sequential explanation is given.

[0015] First, in the case where a partial decode signal lost-motion vector is detected, the data read from FM' for the search of eye N stage are incorporated to the buffer formed in coincidence at prediction signal generation circles, and after the vector below after [ search termination ] 1-pixel precision is decided, a prediction signal is generated using the data in a buffer. If it carries out like this, the count of access to frame memory FM' which cannot be operated on a curtailed schedule is reducible at once from 2 times.

[0016] Next, the case where an input signal lost-motion vector is detected is considered. Since a vector search is performed to an input signal, the search section and the prediction generation section cannot use the same data. However, the input image and partial decode image corresponding to the same address of the memory for a search (FM) and the memory for partial decode signal storing (FM') are storable so that drawing 2 may show. That is, data read-out for prediction signal generation and the Kth step of search can access both the memory for a search, and the memory for partial decode signal storing by the same address control section at coincidence. Motion vector detection of front/the direction of back and memory access required for generation of a prediction signal are reduced as mentioned above.

[0017] Next, in order to carry out monitoring of the encoded image in the real time, how to output a partial decode signal outside is shown. Although coding sequence differs from the input signal, it can return I or P image of two sheets decoded most recently in order of origin by once storing in memory. This display frame needs to be sequence changed also as a regenerative function. The frame memory (FM'') was prepared for playback and monitoring two ways in this invention. Like drawing 2 , a decode (part) signal is stored in FM'', and it returns in order of the display shown in the lower berth, and outputs.

[0018] drawing 2 -- FM'' -- the field in which B image is stored is secured inside, and B image is also once stored in it. in this way, I, P, and B image -- it can read, changing in order of the same scan as all. However, in the case where the frame buffer is prepared for the latter part, since scan conversion is not necessarily needed, B image field of FM'' can be deleted and it can also consider only as rearrangement of the order of a frame.

[0019]

[Example] Drawing 1 shows the example of the 1st dynamic-image coding equipment by this invention. In drawing, the input image rearrangement circuit where 1 changes the frame sequence of an input dynamic image based on an inter-frame prediction method, and 2 Encoded I, the store circuit in which the partial decode image of P

image is stored, and 3 A address generation circuit and 4 a motion detector and 5 As for the partial decoder circuit which the quantization circuit where a prediction signal generation circuit and 6 perform DCT and quantization processing, and 7 give a variable-length coding network to, and 8 gives reverse quantization, reverse DCT, and frame addition, and 17, picture signal input port and 18 are bit sequence input/output port. Hereafter, it is shown, explaining the detail of each block of actuation of this example.

[0020] The example of a configuration of the rearrangement circuit 1 of an input frame is shown in drawing 3 . In this example, the frame structure with which B frames of M-1 sheet enter between I or P image is realized. In drawing, 31 assigns I or P image to an input image M-every other frame, is the sequential circuit which uses a frame in the meantime as B image, and outputs a 3-bit signal for every frame period. The toggle flip flop to which the frame memory in which 32 can store the data for M-1 screen, and 33a and 33b reverse the contents by frame synchronization when the output of OR gate 34 of an OR gate and 35 is '1' as for a switch and 34, and 36 are scan conversion circuits which change a raster scan signal into a block scan signal. If the output of a sequential circuit 31 is expressed with the binary number which sets the upper part of drawing 3 to MSB, it will be '001' at the time of '010' and B image at the time of '100' and P image at the time of I image. It outputs, after I or P image outputting the signal of input port 17 as it is, storing B image in a frame memory 32 and carrying out M frame period delay with a switch 33. In the example of rearrangement shown in drawing 2 , conversion to (---F-4F0 F-2 F-1F3 F1 F2 F6) from the input frame (--- F-2 F-1F0 F1 --- F6) of the maximum upper case is realized as M= 3. By the scan conversion circuit 36, the rearranged picture signal is changed into the block scan signal of 16 pixel x16 line, and is outputted from an output port 38. Moreover, the TGL signal wave form of drawing 2 is the output of a toggle flip flop 35.

[0021] Thus, the input animation signal from which sequence and the order of a scan were changed in the input image rearrangement circuit 1 is inputted into the motion detector 4 of drawing 1 , and coding processing is performed for every block. In addition, although the chrominance-signal coding section is prepared separately, or the interleave of the block of a color-difference signal is carried out and it realizes, in the following explanation, coding of a color dynamic image makes one block 16x16 pixels of only a luminance signal, and makes description brief.

[0022] First, by the motion detector 4, from the partial decode signal stored in the store circuit 2, a motion vector is detected and the prediction signal generation circuit 5 generates the optimal prediction signal using the data of a store circuit 2 based on

the detected motion vector. And the generated prediction signal is outputted to the partial decoder circuit 8, and the prediction difference signal with an input signal is outputted to the quantization circuit 6. The configuration and actuation of an address generation circuit 3, the motion detector 4, and the prediction signal generation circuit 5 are later explained in detail. The quantization to a discrete cosine transform and a transform coefficient gives a prediction difference signal in the quantization circuit 6 -- having -- the variable-length coding network 7 -- it is -- not illustrating, either -- a bit sequence final to coding mode information and \*\*, such as a motion vector, encodes, and it is outputted outside through an output port 18. On the other hand, in the partial decoder circuit 8, the twist operations of the quantization circuit 6 are performed, the partial decode signal of I and P image is further generated from the prediction signal inputted from the prediction signal generation circuit 5, and it stores in a store circuit 2. The quantization circuit 6, the variable-length coding network 7, and the partial decoder circuit 8 can be constituted using LSI which already serves as a commercial, for example, the chip set supplied by the above-mentioned GCT company.

[0023] Drawing 4 shows the example of the 2nd dynamic-image coding equipment by this invention. In drawing 4, 1-8, and 17 and 18 are the same as drawing 1. 9 is a store circuit where only P image is stored among [ I ] the outputs of the input image rearrangement circuit 1. However, the picture signal which moved by this example and was stored in the detector 4 in the store circuit 9 is inputted. Moreover, the same address as the address supplied to a store circuit 2 from an address generation circuit 3 is used for access to a store circuit 9.

[0024] The detail of the motion detector 4 and the prediction signal generation circuit 5 (range enclosed with the dotted line in drawing 4.) is shown in drawing 5. In the 1st step, the motion vector searching method searched 2-pixel precision for the inside of the field of 32 pixel x 32 line, is the two-step vector retrieval which performs motion vector retrieval of 1 pixel and 0.5-pixel precision, and has detected the motion vector of 0.5-pixel precision to front and the direction of back in the 2nd step within the limits of the horizontal / perpendicular directions of each\*\*9. The situation of the 1st-step retrieval and the 2nd-step retrieval to drawing 6 (b) is illustrated to drawing 6 (a).

[0025] In drawing 5 respectively 41 and 43 the buffer memory for vector retrieval of the 1st step and the 2nd step, and 42 and 44 Respectively the vector retrieval circuit of the 1st step and the 2nd step and 45 The buffer memory of a partial decode signal and 46 a prediction signal generation unit and 47 The subtractor which the buffer

memory for prediction signal storing and 48 subtract a prediction signal from an input picture signal, and acquires a prediction difference signal, and 411,412,413,414 The buffer memory for input signals and 410 the input port from the input image rearrangement circuit 1 and 415,416 Respectively, as for the output port to the quantization circuit 6 and the partial decoder circuit 8, and 417, the motion vector output port to a address generation circuit 3 and 418 are input port, the output of a store circuit 2 is supplied with the configuration of drawing 1 , and the output of a store circuit 9 is supplied with the configuration of drawing 4 . Moreover, 419 is a data input port from a store circuit 2.

[0026] The 1st-step retrieval performs  $1/2$  subsampling in each direction of a line writing direction train from the retrieval window of 32 pixel x32 line, and 16x16 is incorporated to the buffer 41 for retrieval of drawing 5 . On the other hand, similarly an input signal carries out the subsample of the 1-block data (16x16) to the shape of a grid, sets them to 8x8, and is stored in a buffer 411. The subsample pattern at this time is shown by the round mark in drawing 6 (a). the vector retrieval circuit 42 is searched for the range of the horizontal / perpendicular directions of each\*\*4 (on a subject-copy picture signal, it corresponds to \*\*8). the number of trial vectors at this time becomes 81 of every perpendicular of horizontal and each 9 vector (\*\*4). Moreover, although it moves to retrieval of a block on the right after performing the 1st-step retrieval of one block, what newly needs to be stored in buffer memory 41 is the field of 8x16 (on a subject-copy picture signal, it corresponds to 16 pixel x32 line) shown with the slash in drawing 6 (a) at this time.

[0027] The motion vector retrieval circuit 42 of the 1st step integrates the absolute value of the difference of a pixel unit about the trial vectors of each, is detecting the minimum value and makes it the optimal vector. Such data processing is realizable using LSI:ST3220 for motion vector detection made from INMOS. The outline of ST3220 of operation has a publication in 89 pages from 83 pages of the image informational magazine June, 1991 issue. According to the written contents, in order to detect the optimal vector out of the trial vector of 256 points within the limits of  $-8/-8/+7$  pixels, and  $+seven$  lines, juxtaposition actuation of the 256 same processor elements (PE) as the number of trial vectors is carried out. If only 81 PE in 256 pieces is operated in order to realize the vector retrieval circuit 42 of this example, the 1st-step retrieval can be realized.

[0028] Retrieval of the 2nd step incorporates the retrieval window of 18 pixel x18 line to buffer memory 43, without carrying out subsampling like drawing 6 (b) from the circumference of the vector which was able to be found in the 1st step, and detects a

motion vector with a precision of 1 pixel or less. The detail of the motion vector retrieval circuit 43 of the 2nd step was shown in drawing 7 . In drawing 7 , the multiplier with which the Rhine memory in which 61 realizes delay of one line (18 pixels), and 62a, 62b and 62c multiply an adder, and 64a, 64b, and 64c multiply  $1/2$ ,  $1/2$ , and  $1/4$  respectively, and 65a and 65b are delay machines, and the interpolation unit 60 is constituted by the above. Moreover, the input port to which, as for a vector retrieval circuit and 66, 67 are supplied, and, as for a minimum value detector and 68, an input-block signal and the seek-area data of the 2nd step are respectively supplied from the buffer memory 413 and 43 of drawing 5 63a, 63b, 63c, and 63d, and 69 are output ports which output the detected motion vector to the prediction signal generation circuit 5.

[0029] The 18x18-pixel data incorporated by buffer memory 43 are read to input port 68 in order of block scan. The data stream of the integer pixel (o) corresponding to arrangement of drawing 6 (b), the 0.5 pixel interpolation (h) of horizontal directions, the 0.5 pixel interpolation (v) of perpendicular directions, and level / 0.5 pixel interpolation of perpendiculars (hv) is outputted from the interpolation unit 60. the same processor element (PE) as above-mentioned ST3220 is corresponded to each interpolation signal -- it connects the number of trial vectors every. That is, if nine pieces, six pieces, six pieces, and four PE [ a total of 25 ] are respectively arranged to output ports o, h, v, and hv and juxtaposition actuation is carried out, the motion vector detector of the 2nd step can be constituted. The motion vector (retrieval range\*\*1) of the optimal 0.5-pixel precision can be found as mentioned above in the minimum value detector 36, and it is outputted to the prediction signal generation circuit 5 through an output port 69.

[0030] In the prediction signal generation circuit 5 of drawing 5 , the 18x18-pixel data corresponding to the image data in buffer memory 43 are already written in from input port 419 in buffer memory 45. Therefore, in the prediction signal generation unit 46, the same processing as the interpolation unit 60 of drawing 7 generates the prediction signal corresponding to the vector of 0.5-pixel precision from the partial decode signal stored in buffer memory 45. Furthermore, between the input-block signals of buffer memory 414, the optimal prediction method is judged, an inter-frame prediction signal is searched for, and it stores in the buffer memory 47 for prediction signal storing. The inter-frame prediction signal stored in buffer memory 47 is outputted to the partial decoder circuit 8 through an output port 416. The input signal with which only the time amount which vector retrieval and prediction signal generation take by buffer memory 412,413,414 was delayed on the other hand is changed into a difference signal with the

optimal inter-frame prediction signal stored in buffer memory 47 by the subtractor 48, and is outputted to the quantization circuit 6 through an output port 415.

[0031] Drawing 8 shows the timing of the circuit of drawing 5 of operation. The pipeline processing of each frame is carried out one by one three steps of block periods called the 1st-step retrieval, the 2nd-step retrieval, and generation of a prediction signal in a 16x16-pixel block. For example, in the dynamic image of 352x240 and 30 frames per second, if the coding period of 1 block is less than about 100 microseconds, real-time processing will be guaranteed. Vector detection of front and the direction of back divides the period of 1 block into one half, and is performed by time sharing. Moreover, data [ need / data required for front prediction in the first half of a block period / in the second half / for the direction prediction of back / to be incorporated ] are incorporated so that data required for vector detection or prediction signal generation may be equal to the buffer memory 41, 43, and 45 of drawing 5 . Moreover, a address generation circuit 3 is controlled by the control signal x shown in the drawing 8 lower berth, and y and z about I image, P image, and B images of each, and the data I/O timing to a store circuit 2 and a store circuit 9 is determined.

[0032] The detail of a address generation circuit 3 was shown in drawing 9 . In drawing 9 90 the block base address generating circuit of a coding block and 91a The block base address generating circuit for writing to a store circuit 9 and 91b The block base address generating circuit for writing to a store circuit 2, and 92a and 92b The delay machine which outputs the block base address in which an adder and 93 were the 1-block periphery term, and 94, 95 and 96 A block scan address generation circuit and 97a, 97b, 97c, and 97d The input port to which the motion vector to which the gate circuit detected a selector and 99 and the 1st step vector retrieval circuit 42 detected 910 is supplied, and 911 are output ports which output the address to a store circuit 2 and a store circuit 9. Moreover, 98 is a frame base address generating circuit, with the TGL signal of drawing 2 , changes two base addresses of a picture signal to two output terminals by turns, and outputs them to them.

[0033] The block scan address generation circuit 94 generates the readout address of a  $8 \times 16 = 128$  pixel field required for the 1st-step motion vector retrieval with the output of the block base counter 90 which outputs the base address of the block for coding as the starting point. The block scan address generation circuit 95 generates the readout address of the  $18 \times 18 = 324$  pixel field for vector retrieval of the 2nd step based on the motion vector information on the 1st step searched for the pre-block period. On the other hand, the block scan address generation circuit 96 generates the write-in address of the  $16 \times 16 = 256$  pixel field for writing data in a store circuit 9 and a



store circuit 2. By the time slot which becomes settled in the combination of the control signal x shown in the drawing 8 lower berth, y and z, I and P which a sequence control circuit 31 ( drawing 3 ) generates, and B recognition signal, Time Division Multiplexing of these addresses is carried out, and they are outputted.

[0034] While encoding B image, the output of selector 97b is chosen irrespective of a control signal x as an output of selector 97c. As for selector 97b, a control signal y chooses the data read-out address for vector retrieval of the 2nd step, when, and a control signal y is a low level about the data read-out address for vector retrieval of the 1st step.

[0035] Selector 97c chooses the output of the block scan address generation circuit 96 the second half of a block period, while encoding I or P image. To the block scan address generation circuit 96, by selector 97a, a control signal z chooses the output of write-in block base address generating circuit 91a to a store circuit 9, when high-level, and when a control signal z is a low level, the output of write-in block base address generating circuit 91b to a store circuit 2 is chosen. Thus, it is used for a partial decode signal and the data writing to search memory between P image and I image the second half of a block period.

[0036] Drawing 10 summarized the memory access interleave for every block period. At the time of the configuration of drawing 1 , (b) shows the time-slot allocation at the time of the configuration of drawing 4 , and writes in 1-pixel data, or drawing 10 (a) is presupposing that it is cut in 1 cycle to read-out. Among drawing, w2 expresses the writing of the data to a store circuit 2, and w9 expresses [ the readout of the data which need r1f and r1b for the 1st-step vector retrieval ] the writing of the data to a store circuit 9 for the readout of the data which need r2f and r2b for the 2nd-step vector retrieval.

[0037] Access frequency is investigated about drawing 10 (b). First, only the 256 cycle  $x2=512$  cycle written in by I image since inter-frame prediction is not performed (w2, w9) is. By P image, it writes in with the  $128+324=452$  cycle of front prediction (r1f, r2f) (w2, w9), and they are a total of 964 cycles of 512 cycles of \*\*. By B image, it becomes front (r1f, r2f) and the 452 cycle  $x2=904$  cycle of back (r1b, r2b) prediction.

[0038] Here, since 1 block is  $16 \times 16 = 256$  pixel, the memory access of 256 cycles per block period is equivalent to the signal rate of an input video signal. Since it is less than 1024 cycles per block period also when encoding any B images, L, P, and, drawing 10 shows that access to store circuits 2 and 9 is in less than 4 times of the HARASHIN number as \*\* in the circuitry of this example.

[0039] In the above, the example of the 1st and 2nd dynamic-image coding equipment

by this invention was shown, and the access method to the store circuit 2 required for motion vector retrieval and prediction signal generation and a store circuit 9 was explained.

[0040] In addition, it is well-known to give a low pass filter to the preceding paragraph of a subsample for a precision improvement of the vector retrieval by the subsample. In this invention, in case it writes in the store circuit 9 or store circuit 2 which a motion vector detector refers to, a low pass filter is given and a subsample is carried out to one fourth. At this time, access to a store circuit increases only 1 of the HARASHIN number / 4 = 0.25 times. Even in this case, it turns out that all accesses are realized in 4 or so times [ of the HARASHIN number rate ] access frequency as a whole.

[0041] Moreover, in the example shown in drawing 4 , although the store circuit 2 and the store circuit 9 are used as the memory according to individual, if a high-speed memory chip is adopted, the contents of a store circuit 2 and the store circuit 9 can also be mapped in another address space of the store circuit of a piece.

[0042] Generally, in pattern collating using only the even number (or odd number) pixel as a motion vector searching method, as long as a premise, then the motion vector which should be detected are even number (or odd number) pixels, in a horizontal/perpendicular, only the data of the even number (or odd number) address serve as a candidate for an operation. Therefore, the 1st step can be made into 4-pixel precision, the 2nd step is made into 2-pixel precision, and the memory access method shown by the buffer memory configuration of drawing 5 , drawing 8 , drawing 9 , and drawing 10 also by the three-stage (K= 3) motion vector retrieval which performs motion vector retrieval of 0.5-pixel precision in the 3rd step can realize. namely, -- if only the 1st step vector retrieval circuit 42 is changed -- the 1- the Kth-1st-step retrieval is realizable using the contents of buffer memory 41. At this time, the capacity of memory access and buffer memory 41 required for the data transfer to buffer memory 41 is 1/4 in the case of performing the same retrieval range in 1-pixel precision.

[0043] Next, the example of the 3rd and 4th dynamic-image coding equipment by this invention is explained. The block diagram of the example of the 3rd coding equipment by this invention is shown in drawing 11 . This example outputs a partial decode image to monitor display, and gives the monitor means of a compression coded image at the same time it performs coding processing of the real time. In drawing 11 , as for a monitor / store circuit for playback, and 11, 10 is [ a address generation circuit and 19 ] a monitor / regenerative-signal output port, and 1-9, and 17 and 18 are the same

as drawing 4 . Moreover, 13 is a switch and has the composition that the motion vector detector 4 can use for vector retrieval any of the input signal stored in the store circuit 9, and the partial decode signal stored in the store circuit 2 they are.

[0044] In this example, the partial decoder circuit 8 generates I and not only P image but the partial decode signal of B image. Although I and P image by which partial decode was carried out are stored in a store circuit 2 as well as the 1st and 2nd examples of this invention, they are stored in coincidence also in a store circuit 10. By delaying and outputting to the timing shown in the drawing 2 lower berth, the partial decode signal of I and P image written in the store circuit 10 is returned in order of a playback frame, and can be outputted to an output port 19.

[0045] Since the partial decoder circuit 8 outputs a decode signal for every block period, when outputting B image to the direct-output port 19 from the partial decoder circuit 8, the order of a scan in a frame serves as block scan of 16x16. In order to double this with an external picture monitor circuit etc., let the readout from a store circuit 10 be the order of a raster scan. Although it is realizable by generating of the readout address since it already stores in a store circuit 10 once about I and P image, the scanning conversion for B images newly needs to secure a conversion field into a store circuit 10. Actuation of the address generation circuit 11 required for such frame sequence conversion or the scan conversion in a frame is mentioned later.

[0046] Drawing 12 is the example of the 4th coding equipment by this invention. This example reproduces the already encoded bit sequence, and a coded image is checked or it gives the means for looking for an editing point at the time of edit. In drawing, 12 is a variable-length decoder circuit, and 1-11, and 13, 17-19 are the same as drawing 11 . However, the function 1 required for coding at the time of playback, i.e., an input image rearrangement circuit, the motion detector 4, the prediction signal generation circuit 5, the quantization circuit 6, and the variable-length coding network 7 stop actuation.

[0047] The variable-length decoder circuit 12 carries out the variable-length decode of the coding bit sequence supplied to bit sequence input/output port 18 from the exterior. The motion vector reproduced by the variable-length decoder circuit 12 is outputted to the address-generation circuit 11. The signal read from the variable-length decoder circuit 12 and the store circuit 10 in the address-generation circuit is inputted into the partial decoder circuit 8. Here, the variable-length decoder circuit 12 is realizable by LSI which is in the chip set stated on the page of a Prior art.

[0048] In the partial decoder circuit 8, a prediction signal is reproduced from the decode image read from the store circuit 10, and a playback image is obtained by

frame addition processing with the prediction difference signal inputted from the variable-length decoder circuit 12. It is necessary to reproduce the prediction signal using the motion vector of 0.5-pixel precision by count within the partial decoder circuit 8 from the field of 17x17 about front and the directions of back of each at this time. I and P image which were reproduced by the partial decoder circuit 8 are stored in a store circuit 10, and are used for inter-frame prediction signal generation of P image decoded later and B image. The approach of outputting a regenerative signal from an output port 19 is the same as the monitor output in the 3rd above-mentioned coding equipment.

[0049] The detail of the address generation circuit 11 used in common with the example of the 3rd and 4th coding equipment is shown in drawing 13 .

[0050] The block base address generating circuit which outputs the base address of the block with which 130 is decrypted by the partial decoder circuit 8 in drawing 13 , and 131 The delay machine with which a block base address is delayed, and 132a and 132b An adder and 134 the raster scan address generation circuit for readouts and 135 The block scan address generation circuit for writing and 136 For the block scan address generation circuit for decode which generates the block scan address of 17x17, and 137a, 137b, 137c, and 137d, a selector and 138 are [ a gate circuit and 133a of a frame base address generating circuit and 139 ] address output ports. Moreover, 133b is input port and the integral part of the motion vector which decoded by the variable-length decoder circuit 12 only at the time of the configuration of drawing 12 is inputted. With the TGL signal of drawing 2 , the frame base address generating circuit 138 changes two base addresses of a picture signal to two output terminals by turns, and outputs them to them.

[0051] The block scan address generation circuit 135 for writing generates the decode signal write-in address with the address as the starting point which delayed the output of the block base counter 130 with the delay vessel 131 by the regeneration delay (period of 1 block) by the partial decoder circuit 8. Moreover, the raster scan address generation circuit 134 for readouts generates the address of the data read from a store circuit 10 to an output port 19.

[0052] On the other hand, the block scan address generation circuit 136 for decode is used only when acquiring a regenerative signal from a bit sequence. The address which reads the field of 17x17 required for playback of a prediction signal to the output of the block base counter 130 with the address as the starting point which added the integer part of a decode motion vector inputted from input port 133a by adder 132a is generated.

[0053] At selector 137a, the write-in address with which the block scan address generation circuit 135 generates the output of the raster scan address generation circuit 134 for readouts in the second half is chosen with a control signal x in the first half of a block period. Moreover, a control signal z chooses the output of the block scan address generation circuit 136, when high-level, and selector 137b chooses the output of selector 137a, when a control signal z is a low level. Thus, the output of three kinds of address-generation circuits carries out an interleave to the output of selector 137b within a block period, and it is outputted. Furthermore, a suitable frame base address is chosen by a TGL signal and the gate circuit 139 by Selectors 137c and 137d, and it is changed into the real address on memory by adder 132b. For example, it is at the decode time of B image, and selector 137c chooses [ z signal ] the base address "B-base" of the scanning conversion field of B image only for between low level. The frame base address for front prediction and the frame base address for the direction prediction of back are changed by selector 137d in the first half and the second half of a block period, and adder 132b is other than this supplied.

[0054] The time-slot assignment in the block period of the output address of an address generation circuit 11 is shown in drawing 14. Here, the time slot used at the time of playback is shown. In a block period, the interleave of three sorts of memory access is carried out, and it is outputted in a store circuit 10 so that it may illustrate. Here, ro expresses the readout of the data to the partial decoder circuit 8 which needs rf and rb at the time of playback for the readout of the data to an output port 19, and w expresses the writing of the data to a store circuit 10.

[0055] With I image, for read-out for decode, since there is no need, it writes in, and only a total of 512 cycles of (w) and the readout for monitors (ro) are. P image -- front prediction signal generation -- the need (rf) --  $17 \times 17 = 289$  cycle and a total of 801 cycles of 512 cycles of the I/O for monitors (ro, w). By B image, it becomes a total of 1090 cycles of 512 cycles of  $289 \times 2$  and the I/O for monitors (ro, w) of front and back prediction (rf, rb).

[0056] Therefore, the access frequency to a store circuit 10 becomes 1090 of the HARASHIN number /  $256 = 4.26$  times. In addition, when not performing scan conversion, since it decreases to  $289 \times 2 = 578$  by B image, 801 cycles of P image serve as the maximum access frequency to a store circuit 10, and it is good at 801 of the HARASHIN number /  $256 = 3.13$  times.

[0057] As mentioned above, in the example by this invention, even if it was any in the case of using the case where an input signal is used for motion vector detection, and a partial decode signal, it was shown that it can realize to each store circuit in the

memory access range at most of 4 or so times of a subject-copy picture signal rate also when performing playback from the monitoring and the bit sequence of a coded image.

[0058]

[Effect of the Invention] Memory access required for the motion vector detection of a uni directional and prediction signal generation when setting the range of  $N \times N$  and a retrieval vector to  $n$  for a block size to a horizontal direction  $m$  and a perpendicular direction generally is evaluated.

[0059] the searching method by this invention -- the count of access of the 1st step --  $0.25N * (N+n)$  and retrieval (and prediction generation) of the 2nd step --  $2(N+2)$  it is . Therefore,  $1.25Ns$  of total accesses are set to  $2+(4+0.25n) N+4$ . Since it is the access frequency per block period, this is  $N^2$ . When it normalizes, it is  $1.25+(4+0.25n) * (1-N)+4$  of the HARASHIN number rate/ $N^2$ . It turns out that it becomes twice. When access which is  $N= 16$  and vector retrieval is allowed as a concrete numeric value is made into twice the HARASHIN number rate, it can search to about  $n= 31$ . This means that the motion vector of 0.5-pixel precision can be found in  $**16$ . Moreover, if it expects up to 2.5 times, it will be set to  $n= 63 (**32)$ , and practically sufficient motion compensation range will be obtained.

[0060] The case where vector retrieval is performed from a partial decode signal for a comparison is shown. Here, for vector retrieval, the case where incorporate the data of  $N * (N+n)$  for every block period, and hold all data in buffer memory, and access serves as min is assumed.  $N^2$  It will become  $1+n/N$  if it normalizes. In  $N= 16$ , it is  $n= 16$  and already becomes twice the HARASHIN number rate, and if  $n= 32$ , and further if 3 times and  $n= 64$ , it will become 5 times. It turns out that expansion (increment in  $n$ ) of the retrieval range influences the whole access greatly as compared with this method.

[0061] Thus, even if access which the motion vector retrieval by this invention and prediction signal generation take incorporates access which writing takes, it is 4 to 5 times the signal rate of the HARASHIN number, and it was shown that the practical coverage of  $n=31-64$  is realizable.

[0062] By this invention, coding/decryption equipment for are recording system media and the coding processing technique of a video rate which have arranged memory required for coding and a decryption by almost equal access frequency were acquired. For this reason, each calculation function is transposed to more highly efficient VLSI, and the coding equipment development which aimed at reduction of the number of components further is attained.

[0063] In the monitoring and decryption processing at the time of coding, since it can

carry out to scan conversion using a store circuit, scan conversion in the latter part becomes unnecessary, and an external circuit can be reduced. Moreover, if the field which stores all B images in a monitor / memory for playback is secured, it is realizable by reading playback of B image, or the stere (pause) image in the time of partial decode from a monitor / memory for playback repeatedly. Compared with the configuration which arranges the memory for stere separately, frame memories are outside reducible.

[0064] Since the multistage method which used subsampling is adopted as implementation of motion vector detection and the prediction signal generation section, compared with all heuristics, buffer memory size is small, and it ends, and is suitable for VLSI-ization. Moreover, since \*\*\*\* [ the number of address generation circuits / one ], the number of address output pins for external memory access can be saved. Since it is realizable for detecting a motion vector from an input signal as an inter-frame prediction method only by the addition (or improvement in the speed of a memory chip) of a memory chip, the system suitable for an adoption method can be built.

[0065] Variable length coding, decryption processing, and the address generation for monitoring and the address generation for playback are functions used only at the time of a decryption respectively at the time of coding. Therefore, a processor format is adopted in VLSI development and it becomes possible about one VLSI to change a function by exchange of a program. The system which fitted the equipment configuration since playback and monitoring feature were realizable by the addition of only a memory chip if needed at this time can be built.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the example of the 1st coding equipment by this invention.

[Drawing 2] It is the explanatory view having shown the timing of the example by this invention of operation.

[Drawing 3] It is the detail block diagram of the example by this invention.

[Drawing 4] It is the block diagram of the example of the 2nd coding equipment by this invention.

[Drawing 5] It is the detail block diagram of the example by this invention.

[Drawing 6] It is the explanatory view having shown actuation of this invention.

[Drawing 7] It is the detail block diagram of the example by this invention.

[Drawing 8] It is the explanatory view having shown the timing of the example by this invention of operation.

[Drawing 9] It is the detail block diagram of the example by this invention.

[Drawing 10] It is the explanatory view having shown the timing of the example by this invention of operation.

[Drawing 11] It is the block diagram of the example of the 3rd coding equipment by this invention.

[Drawing 12] It is the block diagram of the example of the 4th coding equipment by this invention.

[Drawing 13] It is the detail block diagram of the example by this invention.

[Drawing 14] It is the explanatory view having shown the timing of the example by this invention of operation.

[Description of Notations]

1 Input Image Rearrangement Circuit

2 Store Circuit

3 Address Generation Circuit

4 Motion Detector

5 Prediction Signal Generation Circuit

6 Quantization Circuit

7 Variable-length Coding Network

8 Partial Decoder Circuit

9 Store Circuit



- 10 Store Circuit for Monitors
- 11 Address Generation Circuit
- 12 Variable-length Decoder Circuit
- 13 Switch
- 17 Picture Signal Input Port
- 18 Coding Sequence Input/output Port
- 19 Monitor / Regenerative-Signal Output Port

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-236466

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.<sup>5</sup>

H 0 4 N 7/137  
5/92  
11/04

識別記号

庁内整理番号

Z 4228-5C  
H 8324-5C  
B 9187-5C

F I

技術表示箇所

審査請求 未請求 請求項の数11(全 18 頁)

(21)出願番号 特願平4-75544

(22)出願日 平成4年(1992)2月25日

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 民谷 一郎

東京都港区芝五丁目7番1号 日本電気株  
式会社内

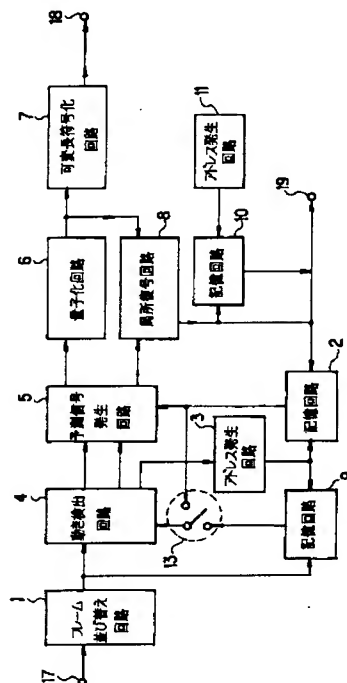
(74)代理人 弁理士 本庄 伸介

(54)【発明の名称】 動き補償フレーム間予測画像符号化装置及び方法

(57)【要約】

【目的】 ビデオレートの蓄積系メディア用動画画像符号化装置を低コストで提供する。

【構成】 入力動画画像のフレーム順序を変更する入力画像並べ替え手段1、画像内符号化及び前方向予測符号化画像の復号画像を蓄える記憶回路2、アドレス発生手段3、多段の動きベクトル探索を行なう動き検出手段4、フレーム間予測信号とその予測差信号を出力する予測信号生成手段5、量子化手段6、可変長符号化手段7、局所復号手段8を含み、予測信号生成手段5は、記憶回路2から最終段のベクトル探索用に動き検出手段4に読み出されるデータを同時に取り込んで記憶回路2へのアクセスを減らす。また、局所復号手段8の出力のうち画像内符号化及び前方向予測符号化画像の復号画像を格納する記憶回路10、アドレス発生手段11により、局所復号画像を再生フレーム順に戻して復号画像信号をモニタする。



## 【特許請求の範囲】

【請求項 1】 動画像信号の各画像フレームを、画像内符号化画像（以下 I 画像）、前方向予測符号化画像（以下 P 画像）、両方向予測符号化画像（以下 B 画像）の少なくとも 3 種のフレーム間予測画像として符号化を施す動画像符号化装置であって、フレーム間予測方式に基づき入力動画像のフレーム順序を変更する入力画像並べ替え手段と、既に符号化した I 及び P 画像の復号画像を蓄える第 1 の記憶回路と、前記第 1 の記憶回路の入出力を制御する第 1 のアドレス発生手段と前記第 1 の記憶回路に蓄えた復号画像と前記入力画像並べ替え手段の出力との間で動きベクトルを検出する動き検出手段と、前記検出された動きベクトルと前記第 1 の記憶回路に蓄えた復号画像からフレーム間予測信号を生成し、更に、前記入力画像並べ替え手段の出力との予測差信号を出力する予測信号生成手段と、前記予測差信号に対して量子化処理を施す量子化手段と、前記量子化手段の出力に可変長符号化を施す可変長符号化手段と、前記量子化手段の出力と前記フレーム間予測信号を入力され I 及び P 画像の復号画像を生成する局所復号手段とを含み、前記動き検出手段は、検出した動きベクトルにより前記第 1 のアドレス発生手段を制御して多段階の動きベクトル探索を実現する動画像符号化装置。

【請求項 2】 請求項 1 に記載の動画像符号化装置において、前記予測信号生成手段は、前記動き検出手段が前記第 1 の記憶回路から最終段のベクトル探索用に読み出したデータを同時に取り込む予測信号生成方法。

【請求項 3】 第 2 の記憶回路を具備し、前記入力画像フレーム並べ替え手段の出力のうち、I、P 画像を前記第 2 の記憶回路に格納し、前記動き検出手段は、前記第 2 の記憶回路に蓄えた入力画像と前記入力画像並べ替え手段の出力との間で動きベクトルを検出し、前記第 2 の記憶回路の入出力は、前記第 1 のアドレス発生手段で制御される請求項 1 に記載の動画像符号化装置。

【請求項 4】 請求項 3 に記載の動画像符号化装置において、前記予測信号生成手段は、前記動き検出手段が前記第 2 の記憶回路から最終段のベクトル探索用に読み出す入力画像データと同じアドレスの復号データを前記第 1 の記憶回路から同時に読み出して予測生成に用いる予測信号生成方法。

【請求項 5】 請求項 1 または 3 に記載の動画像符号化装置において、前記動き検出手段のベクトル探索は、第 1 段から第 K-1 段で 2 画素精度までの動きベクトル探索を、第 K 段では 1 画素精度以下の動きベクトル探索を行なう K 段階の動きベクトル探索方法であって、第 1 段から第 K-1 段までのベクトル探索には前記第 1 または第 2 の記憶回路に格納される画像信号のうち格子状にサブサンプルした画素のみを参照する動きベクトル探索方法。

【請求項 6】 前記局所復号手段の出力を格納する第 3

の記憶回路と前記第 3 の記憶回路の入出力を制御する第 2 のアドレス発生手段と、前記第 3 の記憶回路もしくは前記局所復号手段からの出力データを外部に出力する出力ポートとを具備し、前記局所復号手段は、B 画像の復号画像をも生成する請求項 1 または 3 に記載の動画像符号化装置。

【請求項 7】 請求項 6 に記載の動画像符号化装置において、前記局所復号手段から得られる B 画像の復号画像は前記出力ポートに出力し、I、P 画像の復号画像は、前記第 3 の記憶回路に格納した後に前記出力ポートに出力することにより、符号化画像の局所復号画像を再生フレーム順に戻して出力する復号画像信号モニタ方法。

【請求項 8】 請求項 6 に記載の動画像符号化装置において、前記局所復号手段から得られた I、P、B 画像の復号画像は、全て前記第 3 の記憶回路に格納した後に出力ポートに出力することにより、符号化画像の局所復号画像を再生フレーム順に戻すと共に、画面内走査順を変換して外部に出力する復号画像信号モニタ方法。

【請求項 9】 外部から供給される可変長符号語を可変長復号する可変長復号手段を具備し、前記第 2 のアドレス発生手段は、前記可変長復号手段が復号した動きベクトルを用いて前記第 3 の記憶回路からの予測画像データ読み出しを制御し、前記局所復号手段が、前記第 3 の記憶回路から読み出された予測画像データと前記可変長復号手段の出力から復号画像を得ることによって再生機能を実現する請求項 6 に記載の動画像符号化装置。

【請求項 10】 請求項 9 に記載の動画像符号化装置において、前記局所復号手段より得られた B 画像の復号画像は出力ポートに出力し、前記局所復号手段より得られた I、P 画像の復号画像は、前記第 3 の記憶手段に格納した後に前記出力ポートに出力することにより、復号画像を再生フレーム順に戻して出力する復号画像再生方法。

【請求項 11】 請求項 9 に記載の動画像符号化装置において、前記局所復号手段より得られた I、P、B 画像の復号画像を、全て前記第 3 の記憶手段に格納した後に前記出力ポートに出力することにより、復号画像を再生フレーム順に戻すと共に、画面内走査順を変換して出力する復号画像再生方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、動画像符号化を実現する符号化装置に関し、更に詳しくは、ビデオメールシステム、ビデオレコーダ等に用いられる蓄積系メディア用のビデオレート圧縮再生装置に関する。

## 【0002】

【従来の技術】 ビデオ信号をコンパクトディスク（CD）のような比較的狭帯域のデジタルストレージメディアに格納することを目的に、高効率符号化処理が施される。国際標準化組織 ISO-IEC JTC1/SC

2/WG11 (以下、通称MPEG)では、1.5Mbps相当のメディアに対応した符号化方式が検討されている。検討方式の概要については、例えば、画像電子学会誌第20巻第4号306~316項に解説が掲載されている。掲載内容によれば、動き補償フレーム間予測と離散コサイン変換(DCT)、量子化、可変長符号化を組み合わせたハイブリッド符号化が国際標準化方式として採用される見通しである。MPEG方式の基本的な枠組は、動画像通信用途を目的として既に国際標準化されているCCITT勧告H.261と同様であるが、画像内符号化(I画像)、前方向予測符号化(P画像)に加え、新たに後ろ方向予測を含めた双方向予測符号化(B画像)を組み入れたフレーム間予測方式が用いられている。また、動き補償に用いる動ベクトルも半画素精度まで精度を上げることによって符号化効率の向上を計っている。上述のような性能改善のために、符号化処理に要する演算処理量や所要メモリ容量は、H.261の装置実現に比べて飛躍的に増大するので、符号化装置の実現には工夫を要する。

【0003】MPEG方式に基づいた画像符号化処理装置を現状の技術で実現するには、市販の画像信号処理用チップセットを用いることが考えられる。利用可能なものとしては、グラフィックス・コミュニケーション・テクノロジーズ(GCT)社から、商用となっているチップセットがある。各チップの機能は、日経エレクトロニクス1990年6月25日号の209頁から222頁に解説されている。同記載内容によれば、このチップセットは、動ベクトル検出、DCT、逆DCT、量子化、逆量子化、可変長符号化、可変長復号化といった個々の演算機能を専用チップとして提供し、この組み合わせによりH.261用符号化装置を構成するものである。

【0004】

【発明が解決しようとする課題】ところが、前述のチップセットを用いて、MPEG方式で新たに要求される前方/後方フレーム間予測や半画素精度のベクトル検出をビデオレートで実現するには、多数のチップを並列動作させざるを得ず、装置コストが増大するという問題が生ずる。また、符号化用チップと復号用チップが別々になっているので、符号化装置に復号機能を組み込むと、演算チップ数の増大につながるという問題がある。本発明は、このような問題を解決し、オーサリング、ビデオメール、デジタルビデオレコーダ等で用いられるビデオレートの蓄積系メディア用符号化装置を低コストで提供することを目的とする。

【0005】そのために、まず、両方向の動き補償や1画素以下の精度のベクトル検出の様に既存のLSIでは効率的に実現できない演算機能を、より高性能なVLSIに置き換え、部品数の低減を図ることが必要である。実際、近年のVLSI技術を用いれば、所要の演算処理能力を持ったVLSIを開発すること自体は難しくな

い。但し、当面のLSI技術では、画像データを保持するフレームメモリ回路を演算チップに内蔵できないので、VLSIの他にメモリ回路を用いたシステム構成が前提となる。この場合、メモリ回路へのアクセス頻度により、採用するメモリチップの所要スピードやチップ数が定まるので、最適なメモリ構成を与え、システム全体のコストを低減することが重要である。従って、本発明の課題は、外付けのメモリ配置に留意したシステムアーキテクチャと具体的な実時間符号化処理手法を与えることにある。

【0006】また、上記のアプリケーションシステムでは、実時間符号化機能と共に、符号化により得られたビット系列から動画像を再生する機能が必須であり、また、圧縮符号化による画質への影響を監視するために符号化中の画像をモニタリングする機能も求められる。よって、復号装置を別途用意することなく、これら再生及び実時間のモニタリング機能を符号化装置に組み入れられる構成を提供することも本発明の課題となる。

【0007】

【課題を解決するための手段】上記の目的を達成するために、本発明による第1の符号化装置は、動画像信号の各画像フレームを、画像内符号化画像(以下I画像)、前方向予測符号化画像(以下P画像)、両方向予測符号化画像(以下B画像)の少なくとも3種のフレーム間予測画像として符号化を施す動画像符号化装置であって、フレーム間予測方式に基づき入力動画像のフレーム順序を変更する入力画像並べ替え手段と、既に符号化したI及びP画像の復号画像を蓄える第1の記憶回路と、第1の記憶回路の入出力を制御する第1のアドレス発生手段と第1の記憶回路に蓄えた復号画像と入力画像並べ替え手段の出力との間で動きベクトルを検出する動き検出手段と、検出された動きベクトルと第1の記憶回路に蓄えた復号画像からフレーム間予測信号を生成し、入力画像並べ替え手段の出力との予測差信号を出力する予測信号生成手段と、予測差信号に対して量子化処理を施す量子化手段と、量子化手段の出力に可変長符号化を施す可変長符号化手段と、量子化手段の出力とフレーム間予測信号を入力されI及びP画像の復号画像を生成する局所復号手段とを含み、動き検出手段は、検出した動きベクトルにより第1のアドレス発生手段を制御して多段階の動きベクトル探索を実現する動画像符号化装置であり、予測信号生成手段は、動き検出手段が第1の記憶回路から最終段のベクトル探索用に読み出したデータを同時に取り込むことを特徴とした予測信号生成方法を採用している。

【0008】本発明による第2の動画像符号化装置は、前記第1の符号化装置に加えて、第2の記憶回路を具備し、前記入力画像フレーム並べ替え手段の出力のうち、I、P画像を第2の記憶回路に格納し、前記動き検出手段は、第2の記憶回路に蓄えた入力画像と入力画像並べ

替え手段の出力との間で動きベクトルを検出し、第2の記憶回路の入出力は、前記第1のアドレス発生手段で制御される動画像符号化装置であり、前記予測信号生成手段は、動き検出手段が第2の記憶回路から最終段のベクトル探索用に読み出す入力画像データと同じアドレスの復号データを第1の記憶回路から同時に読み出して予測生成に用いることを特徴とした予測信号生成方法を採用している。

【0009】また、本発明による第3の動画像符号化装置は、前記第1もしくは第2の動画像符号化装置に加えて、前記局所復号手段の出力を格納する第3の記憶回路と第3の記憶回路の入出力を制御する第2のアドレス発生手段と、第3の記憶回路もしくは局所復号手段からの出力データを外部に出力する出力ポートとを具備し、局所復号手段は、B画像の復号画像をも生成することを特徴とした動画像符号化装置であり、局所復号手段から得られるB画像の復号画像は出力ポートに出力し、I、P画像の復号画像は、第3の記憶回路に格納した後に出力ポートに出力することにより、符号化画像の局所復号画像を再生フレーム順に戻して出力する復号画像信号モニタ方法を実現している。

【0010】本発明による第4の動画像符号化装置では、前記第3の符号化装置に加えて、外部から供給される可変長符号語を可変長復号する可変長復号手段を具備し、第2のアドレス発生手段は、可変長復号手段が復号した動きベクトルを用いて第3の記憶回路からの予測画像データ読み出しを制御し、局所復号手段が、第3の記憶回路から読み出された予測画像データと可変長復号手段の出力から復号画像を再生する動画像符号化装置であり、局所復号手段より得られたB画像の復号画像は出力ポートに出力し、局所復号手段より得られたI、P画像の復号画像は、第3の記憶手段に格納した後に出力ポートに出力することにより、復号画像を再生フレーム順に戻して出力する復号画像再生方法を採用している。

【0011】

【作用】ビデオレートで後ろ方向を含めたフレーム間予測符号化を滞りなく行なうために、符号化処理に先だって入力ビデオ信号のフレーム順序を入れ換える。これは、符号化対象画像に対する将来からのフレーム間予測を行なうには、時間的に後から入力されるフレームを先に符号化／復号化する必要があるためである。このようにフレーム順が入れ替わった入力を前提とすれば、各フレームの符号化に要する時間を1フレーム周期内に納めることで実時間での符号化処理が可能となる。

【0012】上記のような処理過程は、図2を用いて概観できる。図の最上段に入力画像のフレーム列 $F_1$  ( $\dots F_1 F_0 F_1 F_2 \dots$ )を示している。各画像フレームには、画像内符号化(I画像)、前方向予測符号化(P画像)、両方向予測符号化(B画像)のいずれかの符号化方式が割り当てられる。この割り当てに基づいて入力順

を入れ換えたフレーム順序がその下段に示されている。並べ替えられたフレーム順は、( $\dots F_0 F_{-2} F_{-1} F_3 F_1 F_2 F_6 \dots$ )となり、この順には、符号化処理が施される。 $FM$ 及び $FM'$ は、画像2画面分の容量を持つフレームメモリで、各々、動きベクトルサーチと局所復号信号格納に用いられる。サーチ用メモリ( $FM$ )には、I、P画像に対応する入力画像を格納して、現入力フレームとの動きベクトルを検出に用いる。例えば $F_{-2}$ や $F_{-1}$ の符号化時には、 $F_{-3}$ と $F_0$ がサーチメモリに格納されているので、これを動きベクトル探索に用いる。求まった動きベクトルを用いて、メモリ $FM'$ に格納された局所復号信号( $F'_{-3} F'_0$ )を読み出して予測信号を生成する。例えば $F_{-2}$ や $F_{-1}$ の符号化には、前方向予測は局所復号信号 $F'_{-3}$ を、後ろ方向は $F'_0$ を用いてフレーム間予測信号を生成する。 $FM$ 及び $FM'$ は、図2最下段に示した信号 $TGL$ により、入力信号及び局所復号信号を格納する先頭アドレスを切替えて、最近符号化された2枚のI画像もしくはP画像が格納される。尚、公知の様に、動きベクトルの検出には、入力信号の代りに局所復号信号を用いてもよい。この場合、 $FM'$ の内容と現入力フレームとの間で動ベクトルを検出すれば良いのでフレームメモリ $FM$ は削除できる。

【0013】各フレーム周期での符号化処理は、1枚の画像を $N$ 画素 $\times N$ ラインの小ブロックに分けて行なわれる。 $MPEG$ 方式では、 $N=16$ とし、例えば、 $352$ 画素 $\times 240$ ラインの標準的な画像は、 $330$ 個のブロックに分けて符号化している。

【0014】1個のブロックに対して、先ず、前方向、後ろ方向それぞれの動ベクトルを検出する。このとき、双方向の動き検出が必要なこと、また、連続するB画像の枚数に応じて、動ベクトル検索範囲を広げる必要もあるので、探索領域は $H \cdot 261$ の8倍以上ともなる。従って、全探索をそのまま実現すると、メモリアクセスも大幅に増大する。このため、本発明は、まず、動ベクトル検出については、多段階サーチ法(以下段数を $K$ とする)を採用し、各段の探索にはサブサンプルした信号のみを使用して、サブサンプルに応じたアクセス頻度の削減を図る。但し、1画素精度以下のベクトル検出を前提とすると、補間計算が必要なので、少なくとも最終段のベクトルサーチには、探索範囲内の全ての画素値が必要となる。一方、予測信号生成には、本質的に全ての画素が必要となるので、サブサンプルできない。従って、本発明では、メモリアクセスの効率を更に向上させるために、最終段サーチのためのメモリアクセスと予測信号作成のためのアクセスを同時に行う方式を導入した。導入にあたっては、動きベクトル検出に、局所復号信号を用いる(図2の $FM'$ に格納したデータをベクトル探索に用いる)場合と、入力信号を用いる(図2の $FM$ に格納したデータをベクトル探索に用いる)場合の各々について検討しているので、順次説明する。

【0015】先ず、局所復号信号から動きベクトルを検出する場合では、N段目のサーチのためにFM'から読み出したデータを同時に予測信号生成部内に設けたバッファに取り込んでしまい、サーチ終了後1画素精度以下のベクトルが確定してからバッファ内のデータを用いて予測信号を生成する。こうすると、フレームメモリFM'に対する間引きできないアクセス回数を2回から1回に削減できる。

【0016】次に、入力信号から動きベクトルを検出する場合を考える。ベクトルサーチは、入力信号に対して行なわれるので、サーチ部と予測生成部が、同じデータを使用することはできない。ところが、図2から分かるように、サーチ用メモリ(FM)と局所復号信号格納用のメモリ(FM')の同じアドレスに、対応する入力画像と局所復号画像を格納できる。すなわち、予測信号生成とK段目のサーチのためのデータ読み出しは、同じアドレス制御部でサーチ用メモリと局所復号信号格納用メモリの両方を同時にアクセスすることが可能である。以上のようにして、前方向/後ろ方向の動きベクトル検出と予測信号の生成に必要なメモリアccessを減らしている。

【0017】次に、符号化している画像を実時間でモニタリングするために、局所復号信号を外部に出力する方法を示す。符号化順序は、入力信号と異なっているが、最も最近復号された2枚のIもしくはP画像を一旦メモリに蓄えることで、元の順序に戻すことができる。この表示フレームの順序変換は、再生機能としても必要である。本発明では、再生及びモニタリング両用にフレームメモリ(FM')を用意した。図2のように、FM'に(局所)復号信号を格納し、その下段に示す表示順に戻して出力する。

【0018】図2では、FM'内にB画像を蓄える領域を確保して、B画像も一旦格納する。こうして、I、P、B画像いずれにも同じ走査順に変換しながら読み出すことができる。但し、後段にフレームバッファが用意されている場合などでは、必ずしも走査変換を必要としないので、FM'のB画像領域を削除してフレーム順の並べ替えのみとすることもできる。

【0019】

【実施例】図1は本発明による第1の動画像符号化装置の実施例を示している。図において、1は、フレーム間予測方式に基づき入力動画像のフレーム順序を変更する入力画像並べ替え回路、2は、符号化したI、P画像の局所復号画像を蓄える記憶回路、3は、アドレス発生回路、4は、動き検出回路、5は、予測信号生成回路、6は、DCT及び量子化処理を施す量子化回路、7は、可変長符号化回路、8は、逆量子化、逆DCT、フレーム加算を施す局所復号回路、17は、画像信号入力ポート、18は、ビット系列入出力ポートである。以下、本実施例の動作を、各ブロックの詳細を説明しながら示

す。

【0020】図3には、入力フレームの並べ替え回路1の構成例を示している。この例では、IもしくはP画像の間に、M-1枚のBフレームが入るフレーム構成を実現する。図において、31は、入力画像にM-1フレームおきにI又はP画像を割り当て、その間のフレームをB画像とするシーケンス回路で、フレーム周期毎に、3bitの信号を出力する。32は、M-1画面分のデータを格納できるフレームメモリ、33a、33bは、スイッチ、34はオアゲート、35は、オアゲート34の出力が'1'のときフレーム同期により内容を反転するトグルフリップフロップ、36は、ラスタ走査信号をブロックスキャン信号に変換する走査変換回路である。シーケンス回路31の出力は、図3の上方をMSBとする2進数で表せば、I画像のとき'100'、P画像のとき'010'、B画像のとき'001'である。スイッチ33により、I又はP画像は入力ポート17の信号をそのまま出力し、B画像はフレームメモリ32に格納して、Mフレーム周期遅延させた後に出力する。図2に示した並べ替えの例では、最上段の入力フレーム( $\dots F_2, F_1, F_0, F_1, \dots F_6$ )から( $\dots F_4, F_0, F_2, F_1, F_3, F_1, F_2, F_6$ )への変換はM=3として実現される。並べ替えられた画像信号は、走査変換回路36で16画素×16ラインのブロックスキャン信号に変換されて、出力ポート38から出力される。また、図2のTGL信号波形は、トグルフリップフロップ35の出力である。

【0021】このように入力画像並べ替え回路1で順序及び走査順が変換された入力動画像信号は、図1の動き検出回路4に入力され、ブロック毎に符号化処理が施される。尚、カラー動画像の符号化は、色信号符号化部を別途設けたり、色差信号のブロックをインターリーブして実現するが、以下の説明では、1個のブロックを輝度信号のみの16×16画素とし、記述を簡明にしている。

【0022】まず、動き検出回路4により、記憶回路2に格納された局所復号信号から動ベクトルを検出し、検出された動ベクトルに基づいて予測信号生成回路5が記憶回路2のデータを用いて最適な予測信号を生成する。そして、生成した予測信号は、局所復号回路8に、入力信号との予測差信号は、量子化回路6に出力される。アドレス発生回路3、動き検出回路4、予測信号生成回路5の構成及び動作については、後に詳細に説明する。予測差信号は、量子化回路6で離散コサイン変換と変換係数への量子化が施され、可変長符号化回路7で、図示せずとも動ベクトル等の符号化モード情報と共に最終的なビット系列に符号化され出力ポート18を介して外部に出力される。一方、局所復号回路8では、量子化回路6の逆操作が施され、更に、予測信号生成回路5より入力された予測信号とからI、P画像の局所復号信号を生成し記憶回路2に格納する。量子化回路6、可変長符号化回路7、局所復号回路8は、既に商用となっているLS

I、例えば、前述のGCT社より供給されるチップセット等を用いて構成できる。

【0023】図4は、本発明による第2の動画像符号化装置の実施例を示している。図4において、1～8、17、18は、図1と同じである。9は、入力画像並べ替え回路1の出力のうちI、P画像のみが格納される記憶回路である。但し、本実施例では動き検出回路4には、記憶回路9に格納した画像信号が入力されている。また、記憶回路9へのアクセスには、アドレス発生回路3から記憶回路2に供給されるアドレスと同一のアドレス

10 が用いられる。

【0024】動き検出回路4と予測信号生成回路5（図4内の点線で囲んだ範囲。）の詳細を図5に示している。動きベクトル探索方式は、第1段では、32画素×32行の領域内を2画素精度で探索し、第2段では1画素及び0.5画素精度の動きベクトル探索を行なう2段階ベクトル探索で、前方向と後ろ方向に対して、水平／垂直方向各々±9の範囲内で0.5画素精度の動きベクトルを検出している。図6（a）に第1段の探索、図6（b）に第2段の探索の様子を図解してある。

20 【0025】図5において、41、43は、各々第1段、第2段のベクトル探索用バッファメモリ、42、44は、各々第1段、第2段のベクトル探索回路、45は、局所復号信号のバッファメモリ、46は、予測信号生成ユニット、47は、予測信号格納用バッファメモリ、48は、入力画像信号から予測信号を減算し、予測差信号を得る減算器、411、412、413、414は、入力信号用バッファメモリ、410は入力画像並べ替え回路1からの入力ポート、415、416は、各々量子化回路6、局所復号回路8への出力ポート、417

30 は、アドレス発生回路3への動きベクトル出力ポート、418は、入力ポートで、図1の構成では記憶回路2の出力が、図4の構成では記憶回路9の出力が供給される。また、419は、記憶回路2からのデータ入力ポートである。

【0026】第1段探索は、32画素×32行の探索ウインドウから行方向列方向それぞれに1/2サブサンプリングを行なって16×16を図5の探索用バッファ41に取り込む。一方、入力信号も、1ブロックのデータ（16×16）を同じく格子状にサブサンプルして、8×8とし、バッファ411に格納する。このときのサブサンプルパターンは、図6（a）中に丸印で示されている。ベクトル探索回路42で、水平／垂直方向各々±4の範囲（原画像信号上では±8に対応）を探索する。このときの試行ベクトル数は、水平、垂直各々9ベクトル（±4）づつの81個となる。また、1つのブロックの第1段の探索を行なった後、右隣のブロックの探索に移るが、このとき、バッファメモリ41に新たに格納する必要があるのは、図6（a）内に斜線で示した8×16（原画像信号上では16画素×32行に対応）の領域で

ある。

【0027】第1段の動ベクトル探索回路42は、試行ベクトル各々について画素単位の差の絶対値を積算し、その最小値を検出することで、最適ベクトルとする。このような演算処理は、例えば、INMOS社製の動きベクトル検出用LSI：ST3220を用いて実現できる。ST3220の動作概要は、映像情報誌1991年6月号の83頁から89頁に記載がある。記載内容によれば、-8/+7画素、-8/+7ラインの範囲内の256点の試行ベクトルの中から最適なベクトルを検出するために、試行ベクトル数と同じ256個のプロセッサエレメント（PE）を並列動作させている。本実施例のベクトル探索回路42を実現するには、256個中の81個のPEのみを動作させれば、第1段の探索を実現できることになる。

20 【0028】第2段目の探索は、図6（b）の様に、第1段で求めたベクトルの周辺からサブサンプリングせずに18画素×18行の探索ウインドウをバッファメモリ43に取り込み、1画素以下の精度の動きベクトルを検出する。第2段の動ベクトル探索回路43の詳細を図7に示した。図7において、61は、1ライン（18画素）の遅延を実現するラインメモリ、62a、62b、62cは、加算器、64a、64b、64cは、各々1/2、1/2、1/4を掛け合わせる乗算器、65a、65bは、遅延器であり、以上により内挿ユニット60が構成される。また、63a、63b、63c、63dは、ベクトル探索回路、66は、最小値検出回路、67、68は、各々図5のバッファメモリ413と43とから入力ブロック信号、第2段の探索領域データが供給される入力ポート、69は、検出された動ベクトルを予測信号生成回路5に出力する出力ポートである。

30 【0029】入力ポート68には、バッファメモリ43に取り込まれた18×18画素のデータがブロックスキャン順に読み出される。図6（b）の配置に対応する、整数画素（o）、水平方向0.5画素内挿（h）、垂直方向0.5画素内挿（v）、水平／垂直0.5画素内挿（hv）のデータ列が内挿ユニット60から出力される。各内挿信号に対して、前述のST3220と同様なプロセッサエレメント（PE）を対応する試行ベクトル数づつ接続する。すなわち、出力ポートo、h、v、hvに、各々9個、6個、6個、4個の合計25個のPEを配置し、並列動作させれば第2段の動きベクトル検出回路を構成できる。以上のようにして、最適な0.5画素精度の動きベクトル（探索範囲±1）が最小値検出回路36で求められ、出力ポート69を介して予測信号生成回路5に出力される。

50 【0030】図5の予測信号生成回路5では、バッファメモリ45内には、既に、バッファメモリ43内の画像データに対応する18×18画素のデータが入力ポート419から書き込まれている。従って、予測信号生成ユ



ニット46では、図7の内挿ユニット60と同様な処理により、バッファメモリ45に格納された局所復号信号から0.5画素精度のベクトルに対応した予測信号を生成する。更に、バッファメモリ414の入力ブロック信号との間で、最適な予測方式を判定して、フレーム間予測信号を求め、予測信号格納用バッファメモリ47に格納する。バッファメモリ47に格納されたフレーム間予測信号は、出力ポート416を介して局所復号回路8に出力される。一方、バッファメモリ412、413、414によりベクトル探索及び予測信号生成に要する時間だけ遅延された入力信号は、減算器48によりバッファメモリ47に格納されている最適なフレーム間予測信号との差信号に変換され出力ポート415を介して量子化回路6に出力される。

【0031】図8は、図5の回路の動作タイミングを示している。各フレームは、 $16 \times 16$ 画素のブロックが、第1段の探索、第2段の探索、予測信号の生成という3段のブロック周期で順次パイプライン処理される。例えば、 $352 \times 240$ 、30フレーム/秒の動画像では、1ブロックの符号化周期が、約100マイクロ秒以内であれば実時間処理が保証される。前方向と後方向のベクトル検出は、1ブロック周期を半分に分け、時分割で行なっている。また、ベクトル検出や予測信号生成に必要なデータが図5のバッファメモリ41、43、45に揃うように、ブロック周期の前半で前方向予測に必要なデータの取り込みが、後半で後方向予測に必要なデータが取り込まれる。また、図8下段に示した制御信号x、y、zにより、I画像、P画像、B画像各々についてアドレス発生回路3が制御され、記憶回路2及び記憶回路9へのデータ入出力タイミングが決定される。

【0032】図9には、アドレス発生回路3の詳細を示した。図9において、90は、符号化ブロックのブロックベースアドレス発生回路、91aは、記憶回路9への書き込み用ブロックベースアドレス発生回路、91bは、記憶回路2への書き込み用ブロックベースアドレス発生回路、92a、92bは、加算器、93は、1ブロック周期遅れたブロックベースアドレスを出力する遅延器、94、95、96は、ブロックスキャンアドレス発生回路、97a、97b、97c、97dは、セクタ、99は、ゲート回路、910は、第1段ベクトル探索回路42の検出した動きベクトルが供給される入力ポート、911は、記憶回路2と記憶回路9にアドレスを出力する出力ポートである。また、98は、フレームベースアドレス発生回路で、図2のTGL信号により、画像信号の2つのベースアドレスを2つの出力端子に交互に切り替えて出力する。

【0033】ブロックスキャンアドレス発生回路94は、符号化対象ブロックのベースアドレスを出力するブロックベースカウンタ90の出力を起点に、第1段の動きベクトル探索に必要な $8 \times 16 = 128$ 画素の領域の読

みだしアドレスを発生する。ブロックスキャンアドレス発生回路95は、前ブロック周期で求めた第1段の動きベクトル情報に基づいて第2段目のベクトル探索のための $18 \times 18 = 324$ 画素の領域の読みだしアドレスを発生する。一方、ブロックスキャンアドレス発生回路96は、記憶回路9及び記憶回路2にデータを書き込むための $16 \times 16 = 256$ 画素の領域の書き込みアドレスを発生する。これらのアドレスは、図8下段に示した制御信号x、y、zと、シーケンス制御回路31（図3）の発生するI、P、B識別信号の組合せで定まるタイムスロットで時分割多重して出力される。

【0034】B画像を符号化する間は、セクタ97cの出力として制御信号xにかかわらずセクタ97bの出力が選択される。セクタ97bは、制御信号yがハイレベルの時、第1段のベクトル探索用データ読み出しアドレスを、制御信号yがローレベルの時、第2段のベクトル探索用データ読み出しアドレスを選択する。

【0035】セクタ97cは、IもしくはP画像を符号化する間は、ブロック周期の後半は、ブロックスキャンアドレス発生回路96の出力を選択する。ブロックスキャンアドレス発生回路96へは、セクタ97aにより、制御信号zがハイレベルの時、記憶回路9への書き込みブロックベースアドレス発生回路91aの出力を選択し、制御信号zがローレベルの時、記憶回路2への書き込みブロックベースアドレス発生回路91bの出力を選択する。このようにして、P画像及びI画像の間は、ブロック周期の後半は、局所復号信号と、サーチメモリへのデータ書き込みに用いられる。

【0036】ブロック周期毎のメモリアクセスインターリーブをまとめたのが図10である。図10(a)は、図1の構成時、(b)は、図4の構成時のタイムスロット割当を示し、1画素のデータを書き込み、もしくは、読み出しに1サイクルかかるとしている。図中、r1f、r1bは、第1段のベクトル探索に必要なデータの読みだしを、r2f、r2bは、第2段のベクトル探索に必要なデータの読みだしを、w2は、記憶回路2へのデータの書き込みを、w9は、記憶回路9へのデータの書き込みを表している。

【0037】図10(b)についてアクセス頻度を調べる。まず、I画像では、フレーム間予測を行なわないので、書き込み(w2、w9)の256サイクル $\times 2 = 512$ サイクルのみ。P画像では、前方向予測(r1f、r2f)の $128 + 324 = 452$ サイクルと書き込み(w2、w9)用の512サイクルの合計964サイクル。B画像では、前方向(r1f、r2f)と後方向(r1b、r2b)予測の $452 \text{ サイクル} \times 2 = 904$ サイクルとなる。

【0038】ここで、1ブロックは $16 \times 16 = 256$ 画素なので、ブロック周期あたり256サイクルのメモリアクセスは、入力ビデオ信号の信号レートに相当す



る。図10から、L、P、B画像いずれを符号化する場合も、ブロック周期あたり1024サイクルを下回っているため、本実施例の回路構成では、記憶回路2及び9へのアクセスは、原信号の4倍以内に収まっていることが分かる。

【0039】以上、本発明による第1及び第2の動画像符号化装置の実施例を示し、動ベクトル探索及び予測信号生成に必要な記憶回路2、記憶回路9に対するアクセス方式を説明した。

【0040】尚、サブサンプルによるベクトル探索の精度改善のために、サブサンプルの前段に低域通過フィルタを施すことが公知となっている。本発明においては、動きベクトル検出回路が参照する記憶回路9もしくは記憶回路2に書き込む際に、低域通過フィルタを施し、1/4にサブサンプルする。このとき、記憶回路へのアクセスは、原信号の1/4=0.25倍だけ増える。この場合でも、全体として原信号レートの4倍あまりのアクセス頻度のなかで全てのアクセスが実現されることが分かる。

【0041】また、図4に示した実施例では、記憶回路2と記憶回路9を個別のメモリとしているが、高速なメモリチップを採用すれば、一個の記憶回路の別のアドレス空間に記憶回路2と記憶回路9の内容をマッピングすることもできる。

【0042】一般に、動ベクトル探索方式として、偶数（又は、奇数）画素のみを用いたパターン照合を前提とすれば、検出すべき動ベクトルが偶数（又は、奇数）画素である限り、水平／垂直ともに偶数（又は、奇数）アドレスのデータのみが演算対象となる。従って、第1段は4画素精度、第2段は2画素精度とし、第3段で0.5画素精度の動きベクトル探索を行なう3段階（K=3）動きベクトル探索でも図5のバッファメモリ構成と図8、図9、図10で示したメモリアccess方式により実現できる。すなわち、第1段ベクトル探索回路42のみを変更すれば、第1～第K-1段の探索をバッファメモリ41の内容を用いて実現できる。このとき、バッファメモリ41へのデータ転送に必要なメモリアccessとバッファメモリ41の容量は、同じ探索範囲を1画素精度で行なう場合の1/4である。

【0043】次に、本発明による第3及び第4の動画像符号化装置の実施例を説明する。図11に、本発明による第3の符号化装置の実施例のブロック図を示している。本実施例は、実時間の符号化処理を行なうと同時に、局所復号画像をモニタ画面に出力し、圧縮符号化画像の監視手段を与えるものである。図11において、10は、モニタ／再生用記憶回路、11は、アドレス発生回路、19は、モニタ／再生信号出力ポートであり、1～9、17、18は、図4と同じである。また、13は、スイッチであり、動ベクトル検出回路4が、記憶回路9に格納された入力信号と記憶回路2に格納された局

所復号信号のいずれかをベクトル探索に使用できる構成となっている。

【0044】本実施例では、局所復号回路8は、I、P画像のみならずB画像の局所復号信号も生成する。局所復号されたI、P画像は、本発明の第1及び第2の実施例と同じく記憶回路2に格納するが、同時に記憶回路10にも格納する。記憶回路10に書き込んだI、P画像の局所復号信号は、図2下段に示したタイミングで遅らせて出力することにより、再生フレーム順に戻して出力ポート19に出力できる。

【0045】局所復号回路8は、ブロック周期毎に復号信号を出力するので、B画像を局所復号回路8から直接出力ポート19に出力する場合、フレーム内の走査順は、16×16のブロックスキャンとなる。これを外部の画像モニタ回路等に合わせるために、記憶回路10からの読みだしをラスタ走査順とする。I、P画像については、既に、一旦記憶回路10に格納するので、読みだしアドレスの発生で実現できるが、B画像用のスキャン変換は、変換領域を新たに記憶回路10の中に確保する必要がある。このようなフレーム順序変換やフレーム内走査変換に必要なアドレス発生回路11の動作は後述する。

【0046】図12は、本発明による第4の符号化装置の実施例である。本実施例は、既に符号化したビット系列を再生して符号化画像を確認したり、編集時に編集点を探すための手段を与えるものである。図において12は、可変長復号回路であり、1～11、13、17～19は、図11と同じである。但し、再生時は、符号化のために必要な機能、すなわち、入力画像並べ替え回路1、動き検出回路4、予測信号生成回路5、量子化回路6、可変長符号化回路7は動作を休止する。

【0047】可変長復号回路12は、ビット系列入出力ポート18に外部より供給される符号化ビット系列を可変長復号する。可変長復号回路12で再生された動ベクトルは、アドレス生成回路11に出力される。局所復号回路8には、可変長復号回路12と記憶回路10からアドレス生成回路で読み出された信号が入力される。ここで、可変長復号回路12は、従来の技術の頁で述べたチップセットにあるようなLSIで実現できる。

【0048】局所復号回路8では、記憶回路10から読み出された復号画像から予測信号を再生し、可変長復号回路12から入力される予測差信号とのフレーム加算処理により再生画像を得る。このとき、0.5画素精度の動ベクトルを使った予測信号は、前方向と後方方向各々について17×17の領域から局所復号回路8内で計算により再生する必要がある。局所復号回路8で再生されたI、P画像は、記憶回路10に格納され、後から復号されるP画像及びB画像のフレーム間予測信号生成に用いられる。出力ポート19から再生信号を出力する方法は、前述の第3の符号化装置におけるモニタ出力と同じ

である。

【0049】第3及び第4の符号化装置の実施例に共通して用いられるアドレス発生回路11の詳細を図13に示している。

【0050】図13において、130は、局所復号回路8で復号化されるブロックのベースアドレスを出力するブロックベースアドレス発生回路、131は、ブロックベースアドレスを遅延させる遅延器、132a、132bは、加算器、134は、読みだし用ラスタ走査アドレス発生回路、135は、書き込み用ブロックスキャンアドレス発生回路、136は、17×17のブロックスキャンアドレスを発生する復号用ブロックスキャンアドレス発生回路、137a、137b、137c、137dは、セレクタ、138は、フレームベースアドレス発生回路、139は、ゲート回路、133aは、アドレス出力ポートである。また、133bは、入力ポートで、図12の構成時のみ可変長復号回路12で復号された動きベクトルの整数部分が入力される。フレームベースアドレス発生回路138は、図2のTGL信号により、画像信号の2つのベースアドレスを2つの出力端子に交互に切り替えて出力する。

【0051】書き込み用ブロックスキャンアドレス発生回路135は、ブロックベースカウンタ130の出力を局所復号回路8による再生処理遅延（1ブロック周期）分だけ遅延器131で遅らせたアドレスを起点として復号信号書き込みアドレスを生成する。また、読みだし用ラスタ走査アドレス発生回路134は、記憶回路10から出力ポート19に読み出すデータのアドレスを生成する。

【0052】一方、復号用ブロックスキャンアドレス発生回路136は、ビット系列から再生信号を得る場合のみ用いられる。ブロックベースカウンタ130の出力に、入力ポート133aより入力される復号動ベクトルの整数部を加算器132aで加えたアドレスを起点として予測信号の再生に必要な17×17の領域を読み出すアドレスを生成する。

【0053】セレクタ137aでは、制御信号xにより、ブロック周期の前半で、読みだし用ラスタ走査アドレス発生回路134の出力を、後半で、ブロックスキャンアドレス発生回路135の発生する書き込みアドレスを選択する。また、セレクタ137bは、制御信号zがハイレベルの時、ブロックスキャンアドレス発生回路136の出力を選択し、制御信号zがローレベルの時、セレクタ137aの出力を選択する。このように、セレクタ137bの出力には3種類のアドレス生成回路の出力がブロック周期内でインタリーブして出力される。更に、TGL信号及び、ゲート回路139によって適切なフレームベースアドレスがセレクタ137c、137dで選択され、加算器132bによりメモリ上の実アドレスに変換される。例えば、B画像の復号時で、かつ、z

信号がローレベルの間のみ、B画像のスキャン変換領域のベースアドレス“Base”をセレクタ137cが選択する。それ以外では、ブロック周期の前半と後半で前方向予測用のフレームベースアドレスと後ろ方向予測用のフレームベースアドレスがセレクタ137dで切り替えられ、加算器132bに供給される。

【0054】アドレス発生回路11の出力アドレスのブロック周期内のタイムスロット割り当てを図14に示す。ここでは、再生時に用いられるタイムスロットを示している。図示するように、ブロック周期内に3種のメモリアクセスがインタリーブされて記憶回路10に出力される。ここで、roは、出力ポート19へのデータの読みだしを、rf、rbは、再生時に必要な局所復号回路8へのデータの読みだしを、wは、記憶回路10へのデータの書き込みを表している。

【0055】I画像では、復号用の読み出しは必要無いので、書き込み(w)及びモニタ用読みだし(ro)の計512サイクルのみ。P画像では、前方向予測信号生成に必要な(rf)な17×17=289サイクルと、モニタ用入出力(ro、w)の512サイクルの合計801サイクル。B画像では、前方向及び後方向予測(rf、rb)の289×2とモニタ用入出力(ro、w)の512サイクルの合計1090サイクルとなる。

【0056】従って、記憶回路10へのアクセス頻度は、原信号の1090/256=4.26倍となる。尚、走査変換を行わない場合、B画像では、289×2=578に減少するので、P画像の801サイクルが記憶回路10へ最大のアクセス頻度となり、原信号の801/256=3.13倍で良い。

【0057】以上のように、本発明による実施例では、動ベクトル検出に、入力信号を用いる場合と局所復号信号を用いる場合のいずれであっても、また、符号化画像のモニタリングや、ビット系列からの再生を行なう場合も各記憶回路に対しては原画像信号レートの高々4倍あまりのメモリアクセス範囲の中で実現できることが示された。

【0058】

【発明の効果】一般に、ブロックサイズをN×N、探索ベクトルの範囲を水平方向m、垂直方向にnとするときの片方向の動ベクトル検出と予測信号生成に必要なメモリアクセスを評価する。

【0059】本発明による探索方式では、第1段目のアクセス回数は、 $0.25N * (N+n)$ 、第2段目の探索(及び予測生成)は、 $(N+2)^2$ である。従って、合計のアクセスは $1.25N^2 + (4+0.25n)N + 4$ となる。これは、ブロック周期あたりのアクセス頻度なので、 $N^2$ で正規化すると原信号レートの $1.25 + (4+0.25n) * (1/N) + 4/N^2$ 倍となることが分かる。具体的な数値として、N=16で、ベクトル探索に許されるアクセスを原信号レートの2倍とし

たとき、 $n=31$ 程度まで探索可能である。これは $\pm 16$ の範囲で0.5画素精度の動ベクトルが求まることを意味する。また、2.5倍まで見込むと $n=63$ ( $\pm 32$ )となり、実用上十分な動き補償範囲が得られる。

【0060】比較のために、局所復号信号からベクトル探索を行なう場合を示す。ここでは、ベクトル探索には、ブロック周期毎に $N \times (N+n)$ のデータを取り込み、かつ、バッファメモリ内に全てのデータを保持してアクセスが最小となる場合を想定している。 $N^2$ で正規化すると、 $1+n/N$ となる。 $N=16$ では、 $n=16$ ですでに原信号レートの2倍となり、更に、 $n=32$ とすると3倍、 $n=64$ とすると5倍となる。本方式に比較して探索範囲の拡大( $n$ の増加)が、全体のアクセスに大きく影響することがわかる。

【0061】このように、本発明による動きベクトル探索、予測信号生成に要するアクセスは、書き込みに要するアクセスを組み入れても、原信号の4~5倍の信号レートで、 $n=31 \sim 64$ といった実用的な補償範囲が実現できることが示された。

【0062】本発明により、符号化及び復号化に必要なメモリをほぼ均等なアクセス頻度で配置したビデオレートの蓄積系メディア用符号化／復号化装置と符号化処理手法が得られた。このため、各演算機能を、より高性能なVLSIに置き換えて、更に部品数の低減を図った符号化装置開発が可能となる。

【0063】符号化時のモニタリングや復号化処理においては、記憶回路を用いて走査変換まで行なえるので、後段での走査変換が不要となり、外付け回路を低減できる。また、モニタ／再生用メモリにB画像を全て格納する領域を確保すれば、B画像の再生もしくは局所復号時でのスティル(ポーズ)画像もモニタ／再生用メモリから繰り返し読みだすことで実現できる。外部に別途スティル用メモリを配置する構成に比べ、フレームメモリを削減できる。

【0064】動ベクトル検出と予測信号生成部の実現にはサブサンプリングを用いた多段方式を採用しているので、全探索法に比べてバッファメモリサイズが小さくて済み、VLSI化に適する。また、アドレス発生回路が1つで良いので、外部メモリアクセス用のアドレス出力ピン数が節約できる。フレーム間予測方式として、入力信号から動ベクトルを検出するにはメモリチップの追加(もしくはメモリチップの高速化)のみで実現できるので、採用方式に適したシステムを構築できる。

【0065】可変長符号化と復号化処理、及び、モニタリング用アドレス生成と再生用アドレス生成は、各々符号化時、復号化時のみに使用される機能である。従っ

て、VLSI開発においてプロセッサ形式を採用し、1個のVLSIをプログラムの入れ換えで機能を切替えることが可能となる。このとき、再生、モニタリング機能は、必要に応じてメモリチップのみの追加で実現できるので、装置構成に適したシステムを構築できる。

【図面の簡単な説明】

【図1】本発明による第1の符号化装置の実施例のブロック図である。

【図2】本発明による実施例の動作タイミングを示した説明図である。

【図3】本発明による実施例の詳細ブロック図である。

【図4】本発明による第2の符号化装置の実施例のブロック図である。

【図5】本発明による実施例の詳細ブロック図である。

【図6】本発明の動作を示した説明図である。

【図7】本発明による実施例の詳細ブロック図である。

【図8】本発明による実施例の動作タイミングを示した説明図である。

【図9】本発明による実施例の詳細ブロック図である。

【図10】本発明による実施例の動作タイミングを示した説明図である。

【図11】本発明による第3の符号化装置の実施例のブロック図である。

【図12】本発明による第4の符号化装置の実施例のブロック図である。

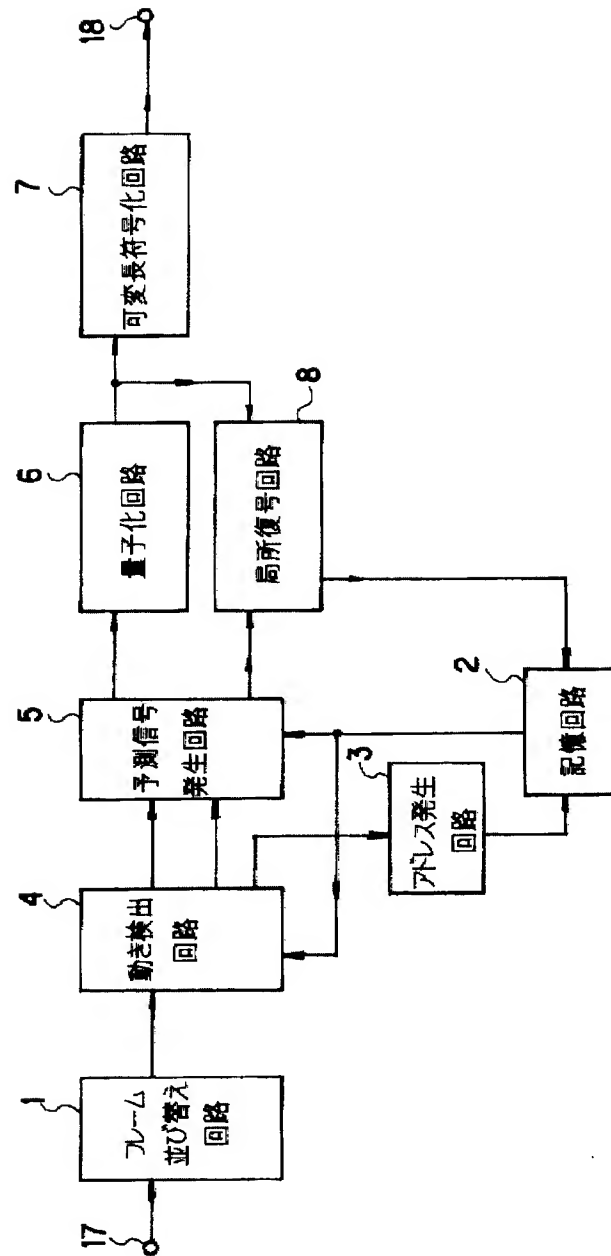
【図13】本発明による実施例の詳細ブロック図である。

【図14】本発明による実施例の動作タイミングを示した説明図である。

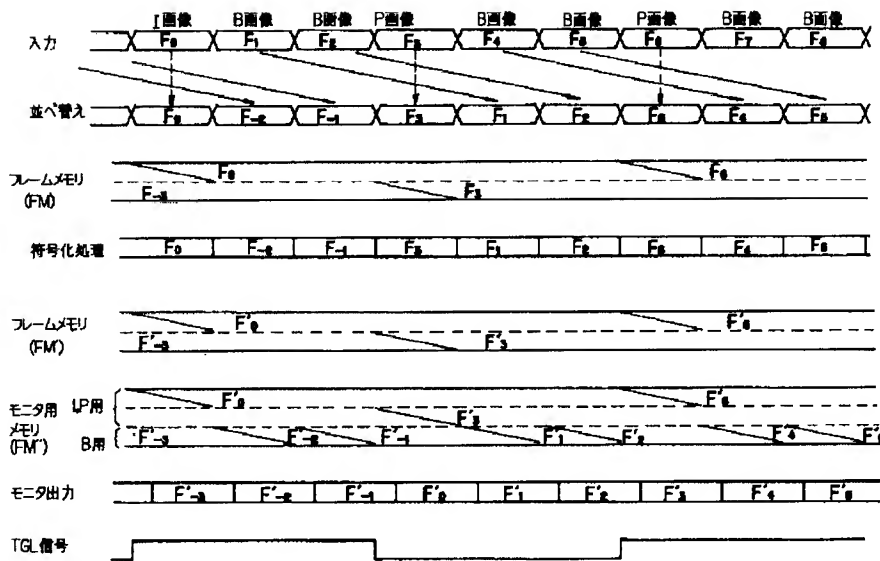
【符号の説明】

- 1 入力画像並べ替え回路
- 2 記憶回路
- 3 アドレス発生回路
- 4 動き検出回路
- 5 予測信号生成回路
- 6 量子化回路
- 7 可変長符号化回路
- 8 局所復号回路
- 9 記憶回路
- 10 モニタ用記憶回路
- 11 アドレス発生回路
- 12 可変長復号回路
- 13 スイッチ
- 17 画像信号入力ポート
- 18 符号化系列入出力ポート
- 19 モニタ／再生信号出力ポート

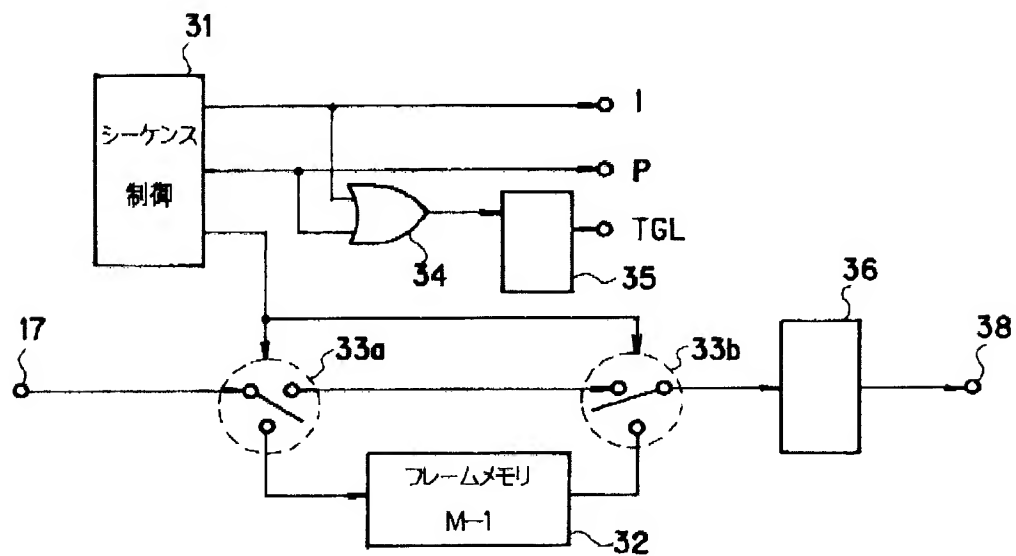
【図1】



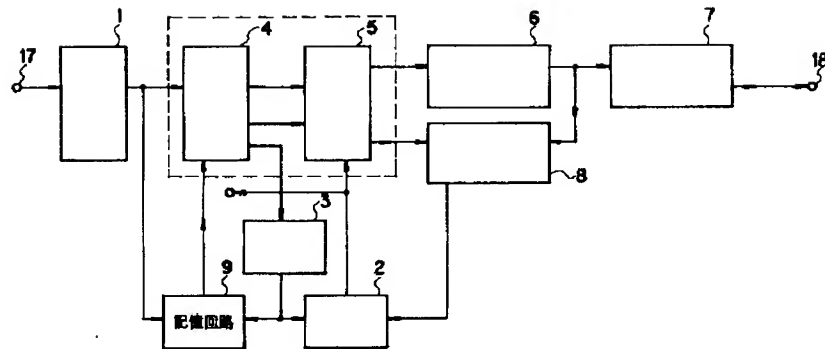
【図2】



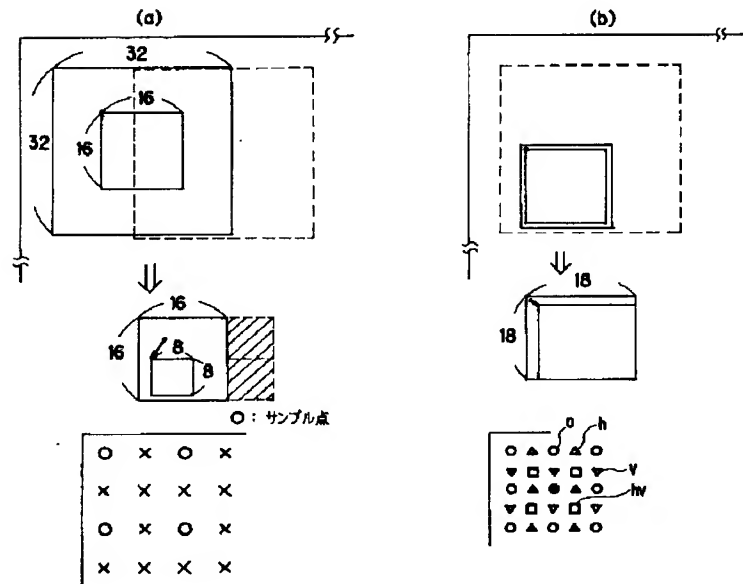
【図3】



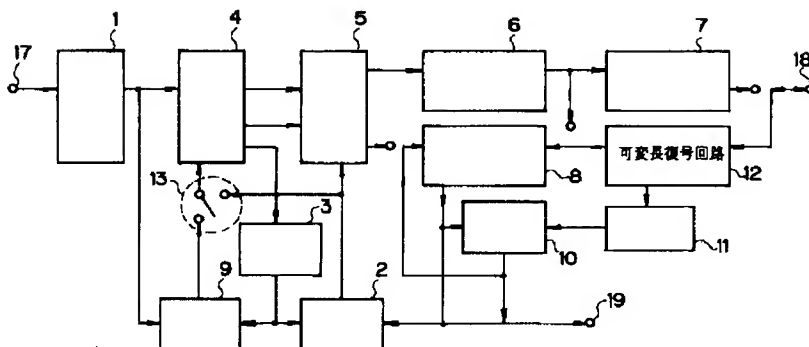
【図4】



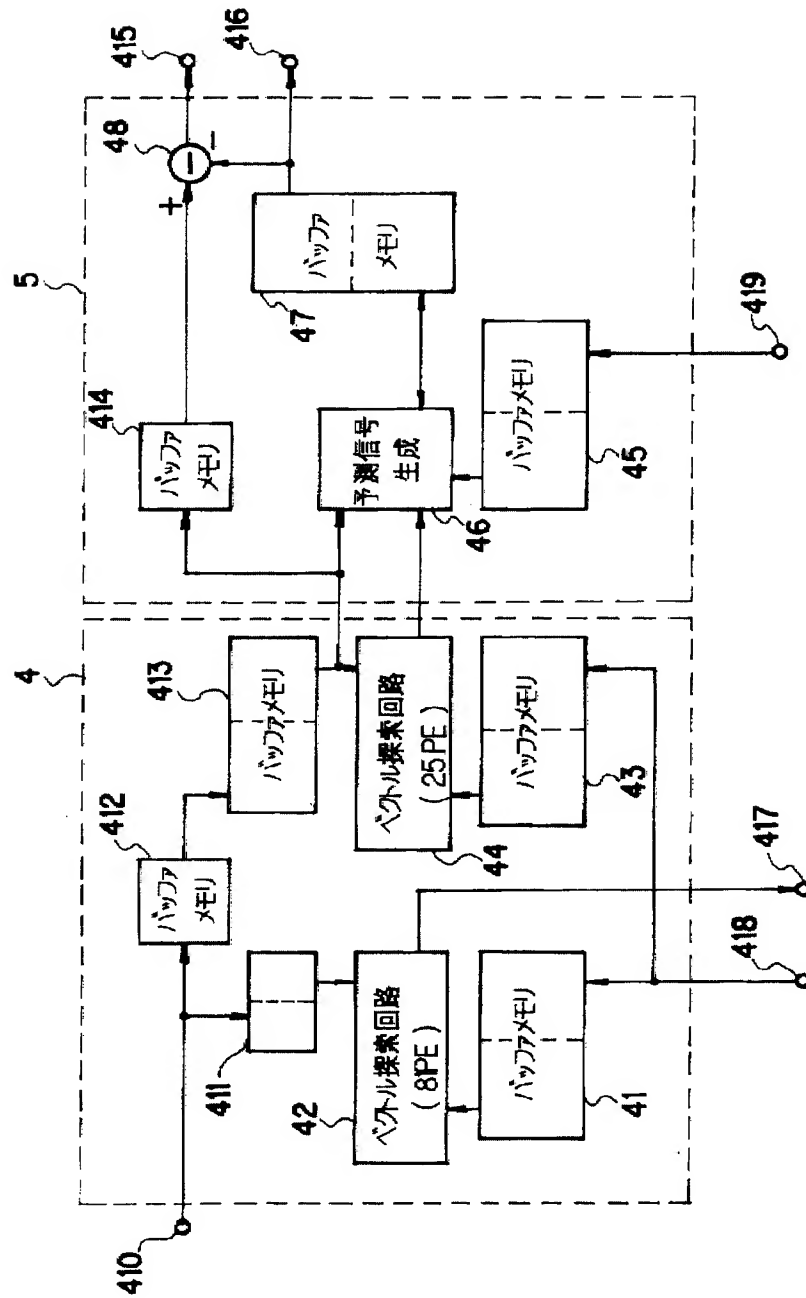
【図6】



【図12】



【図5】

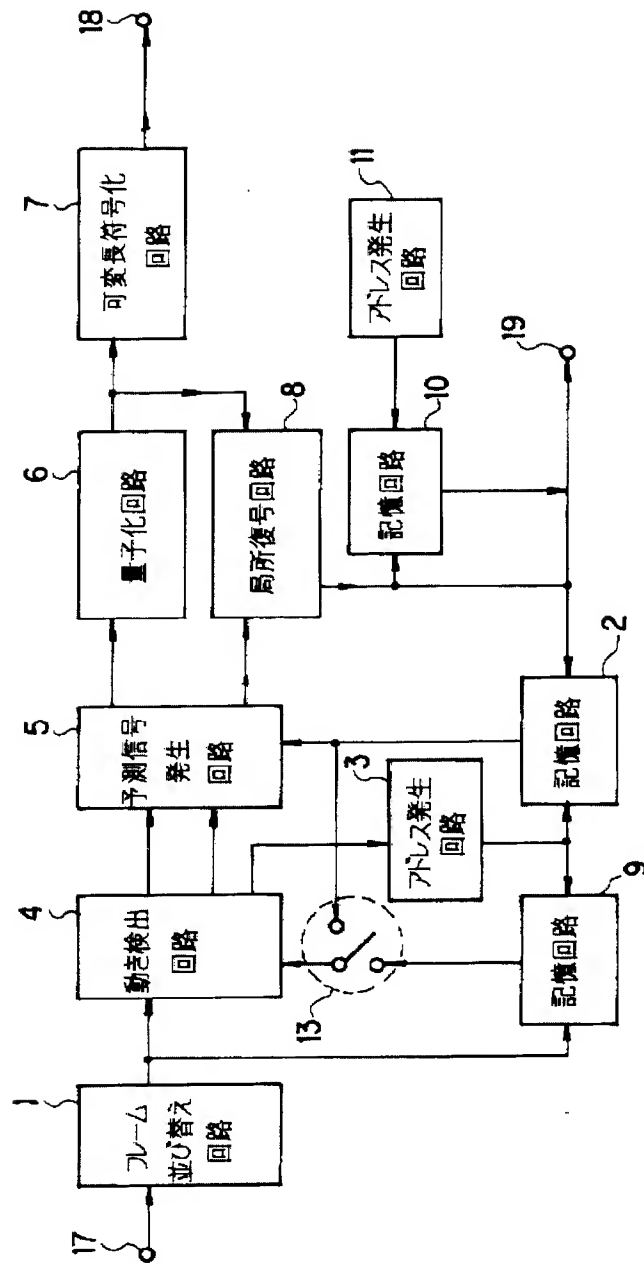


[illegible]

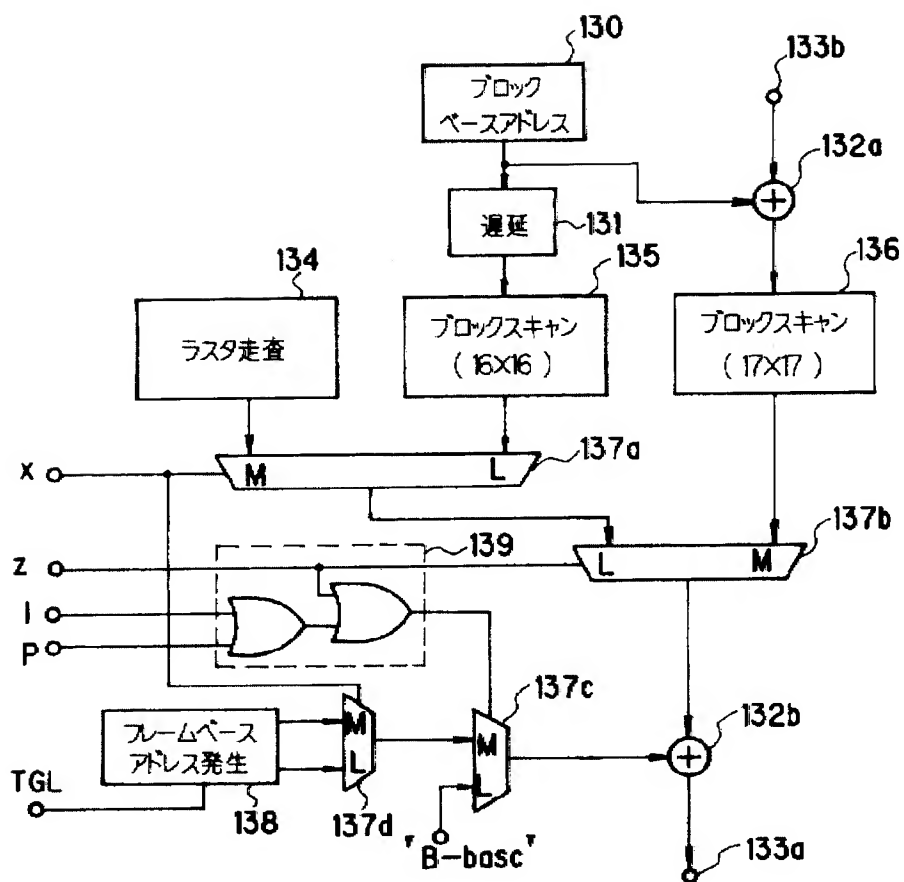




【図11】



【例 13】



【图 14】

